

# **Dispositivos Lógicos Programables (PLDs)**

# Dispositivos Logicos Programables (PLDs)

- Dispositivos Programables Simples (SPLD)
- Dispositivos Programmables Complejos (CPLD)
- Arreglo de Compuertas Programables en Campo (Field Programmable Gate Arrays, FPGAs)

# Evolución de los Dispositivos Logicos Programables



PROM

1.95X



PLD

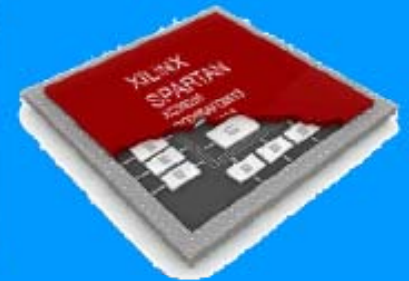


PLA

1.97X



CPLD



FPGA

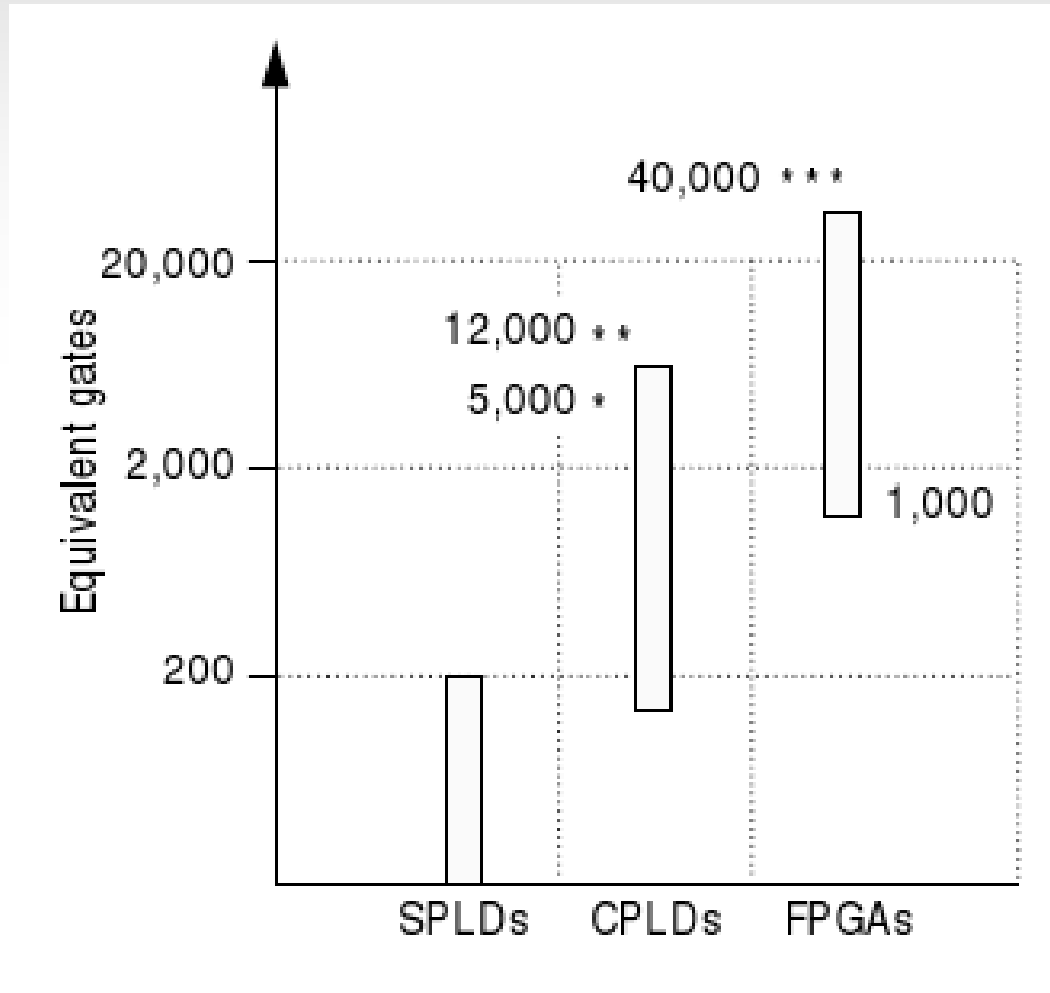
1.98X



# Dispositivos Lógicos Programables (PLDs)

- Dispositivos Lógicos Programables Simples (SPLDs)
- Dispositivos Lógicos Programables Complejos (CPLDs)
- Arreglo de Compuertas Programables en el Campo (Field Programmable Gate Arrays, FPGAs)

# Cuadro Comparativo de los diferentes PLDs



# Producción de PLDs

- Xilinx
- Altera
- Lattice
- Atmel
- Actel
- ~~Intel~~
- ~~AMD~~
- ~~Motorola~~
- ~~Philips~~
- ~~Vantis~~

# **Dispositivos Lógicos Programables Complejos (CPLDs)**

# CPLDs

- CPLDs contiene el equivalente de varios PALs/ GALs conectados por interconexiones programables.
- CPLDs pueden reemplazar miles o cientos de miles compuertas lógicas.
- El tiempo de E/S del CPLD es predecible debido a su simple estructura de interconexiones
- CPLDs
  - contiene 16-1024 macroceldas
  - cada macrocelda equivale a unas 20/40 compuertas (incluyendo un Flip/Flop programable)
  - puede tener desde 20 hasta 381 I/Os
  - hay un trade-off entre el espacio para las macroceldas y el espacio para las interconexiones



# Programación de los CPLDs

- Opciones de Programación
  - one-time programmable
    - el dispositivo es programado una vez y mantiene su programación para siempre
    - usualmente usa fusible para crear/romper una unión de interconexión
    - no se puede re-programar, pero normalmente es muy barato
    - si se debe hacer alguna modificación a la lógica interna del CPLD, el dispositivo se descarta y se usa uno nuevo (no programado)

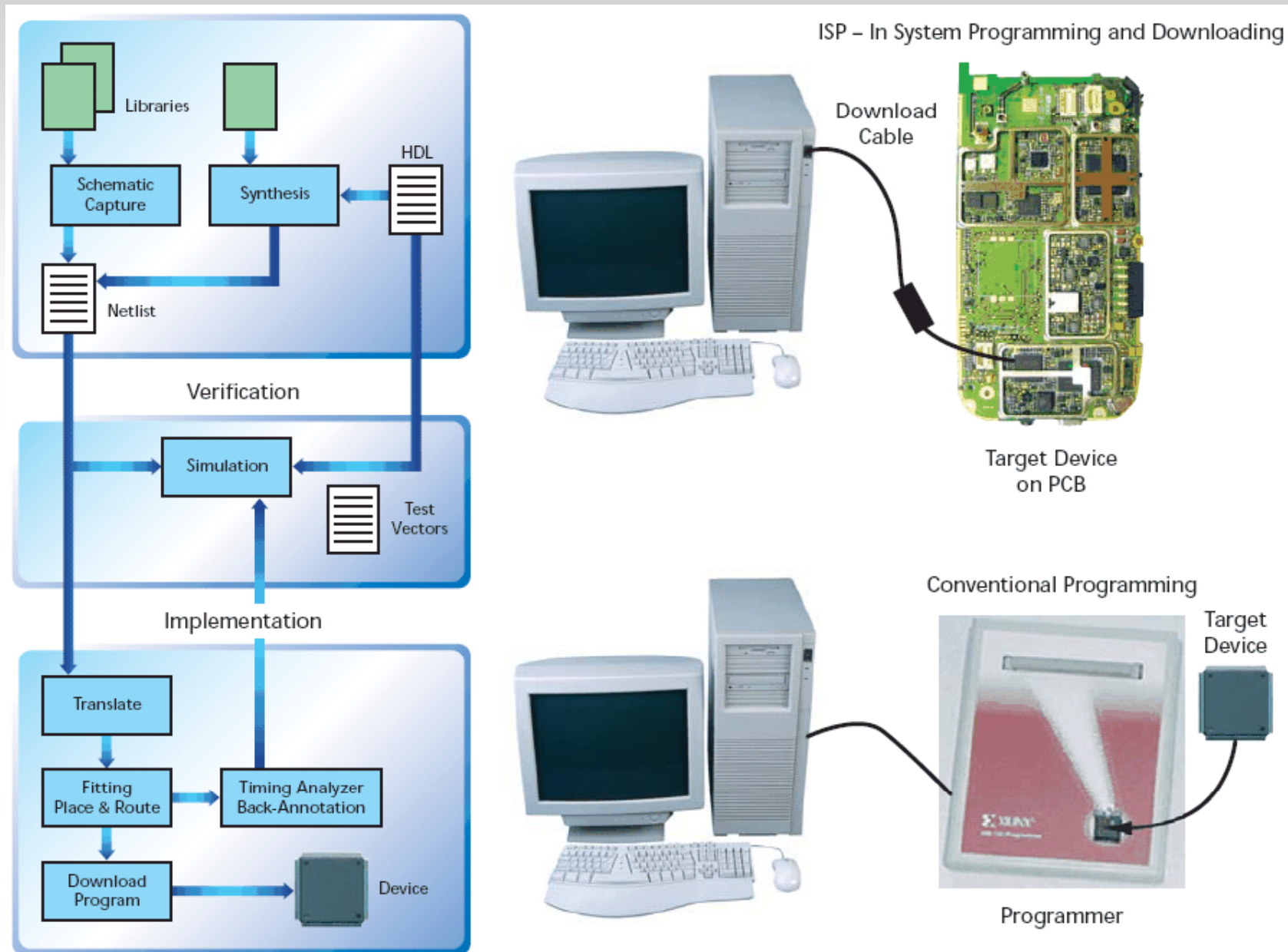
# Programación de los CPLDs (cont.)

- Borrable por UV
  - la programación del CPLD es borrada por emisión UV
  - tiene un encapsulado cerámico con una ventana arriba del área del chip
    - este encapsulado especial es bastante caro
    - normalmente se debe remover el CPLD del zócalo para borrarlo/reprogramarlo
    - programación es retenida después de cortar Vcc (no-volatile)
    - programación/borrado es limitada a unos 1000s ciclos

# Programación de los CPLDs (cont.)

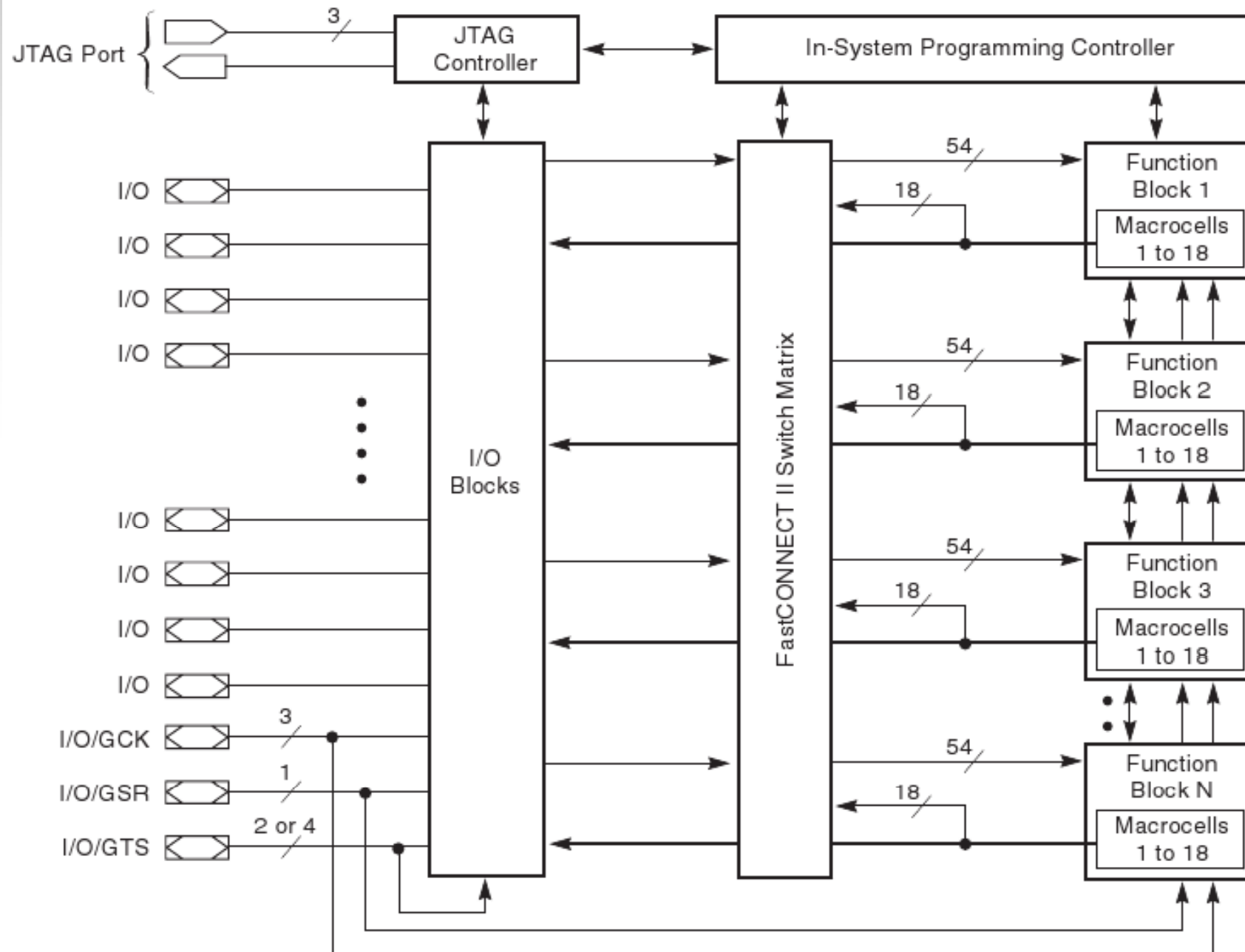
- Borrable electricamente
  - borrado y programado del CPLD se hace con una corriente eléctrica
  - el CPLD puede ser programado/borrado en el PCB, no es necesario encapsulado especial o zócalo
  - tiempo de borrado es mucho menor que el borrado UV
  - no-volatile
  - programación/borrado es limitada a unos 1000s ciclos
  - Programación/borrado se lleva a cabo mediante la conexión del CPLD a una computadora (una PC cualquiera con un software del fabricante del CPLD). Como el CPLD no necesita ser sacado del sistema/plaqueta en que esta soldado, esto es conocido como In-System-Programmable (ISP).

# Diseño con CPLDs – Pasos a Seguir



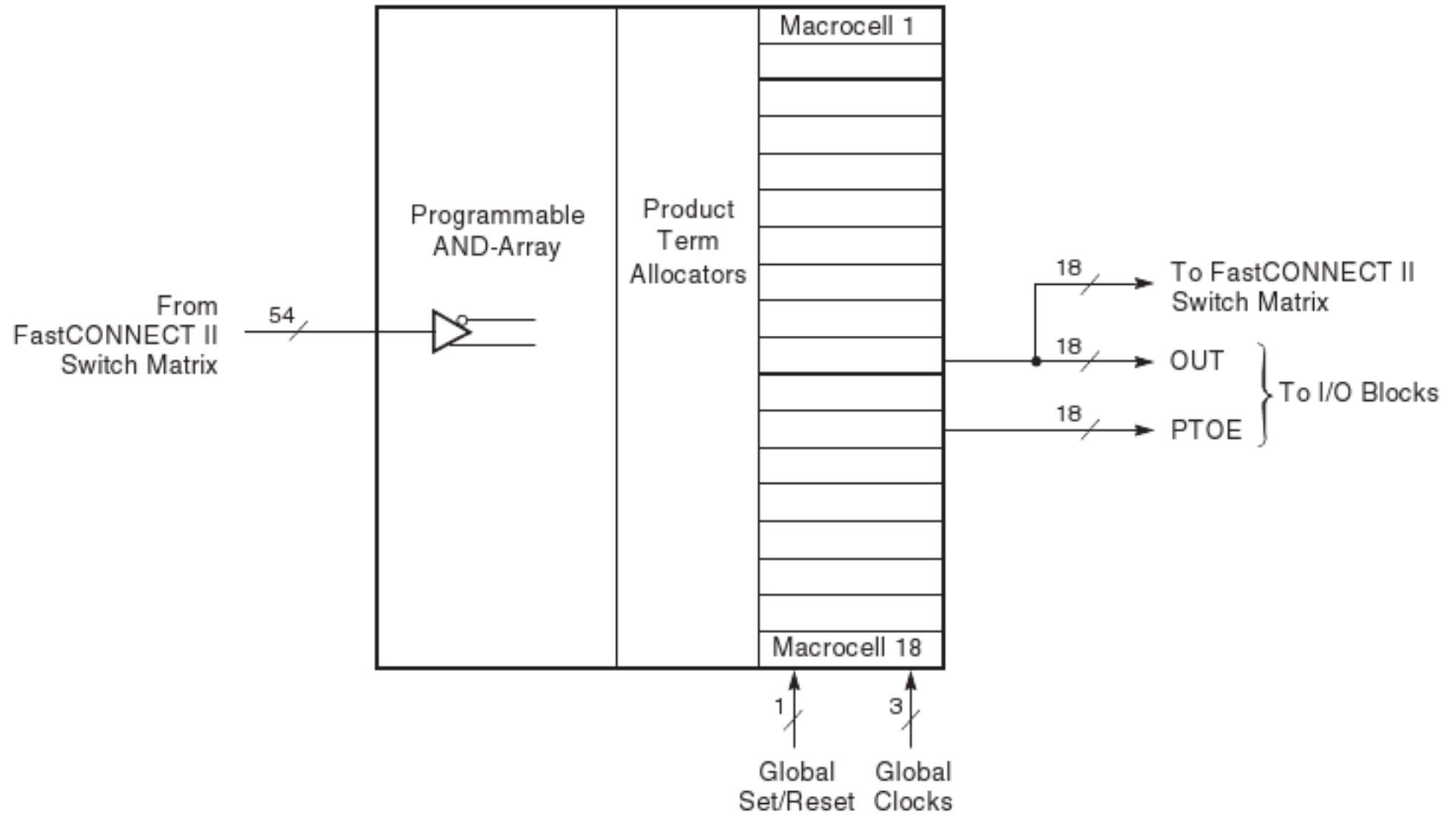
# **Xilinx XC9500 CPLD**

# Xilinx XC9500 CPLD - Arquitectura



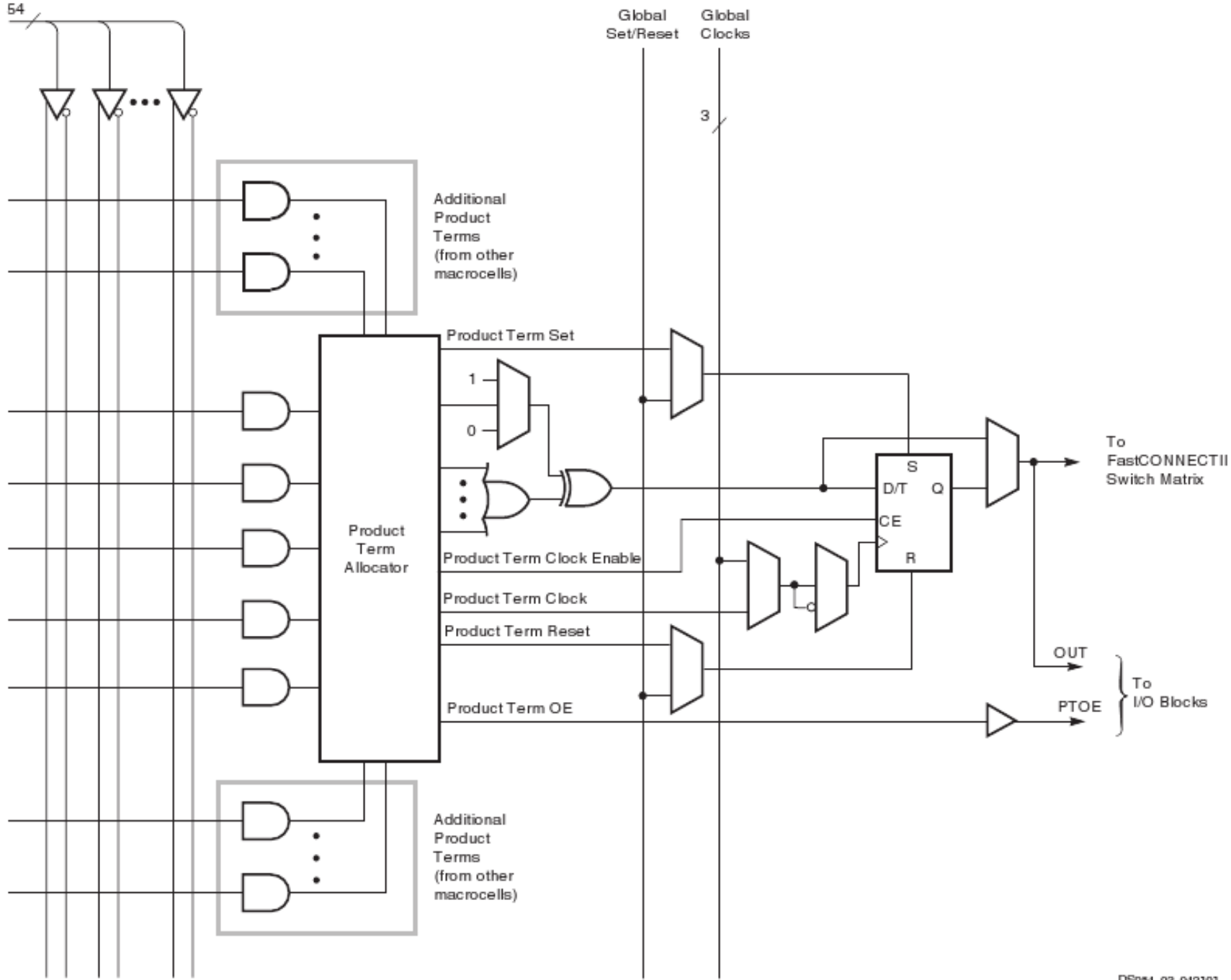
DS054\_01\_042001

# XC9500 Bloque Funcional



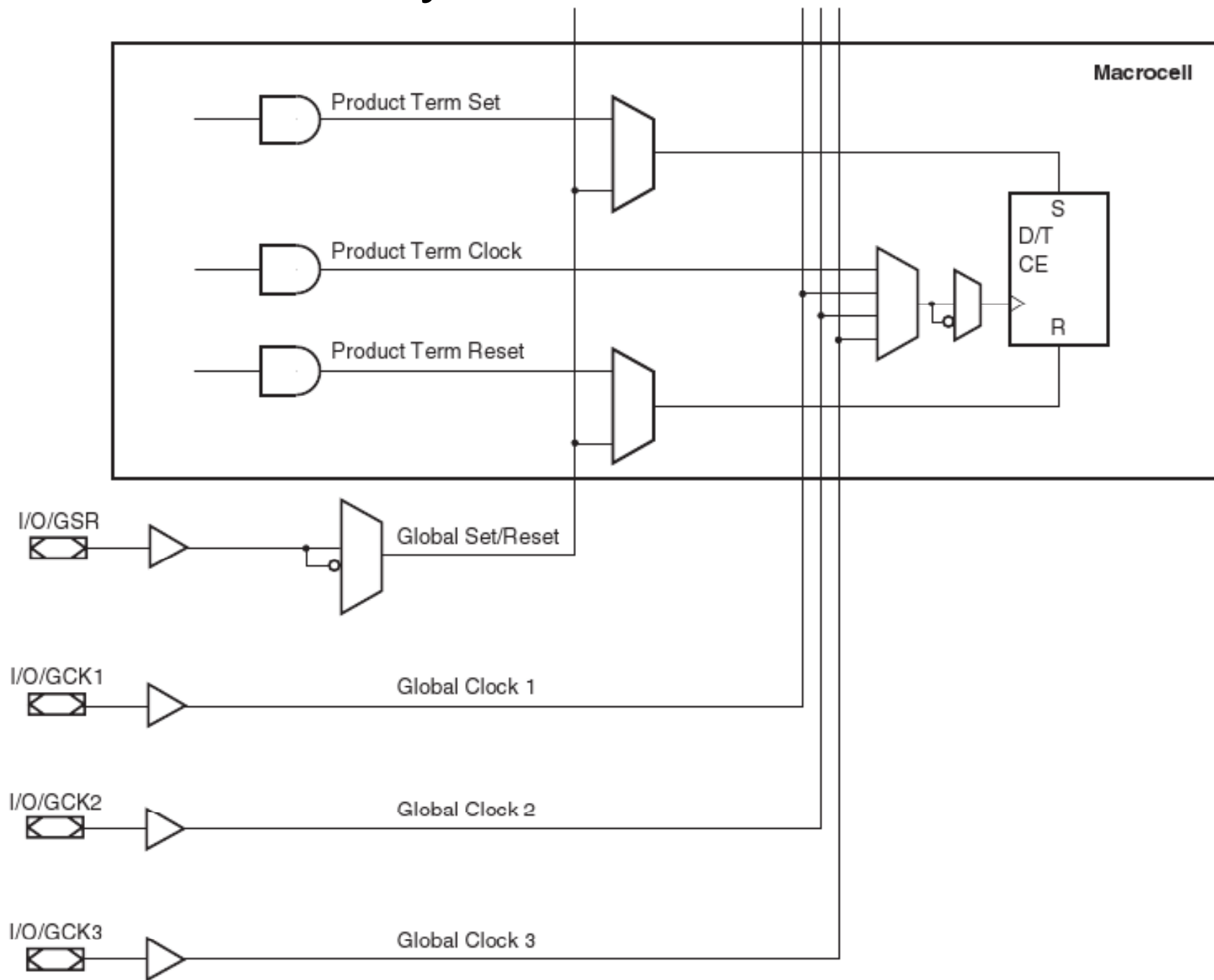
DS054\_02\_042101

# XC9500 Macrocell

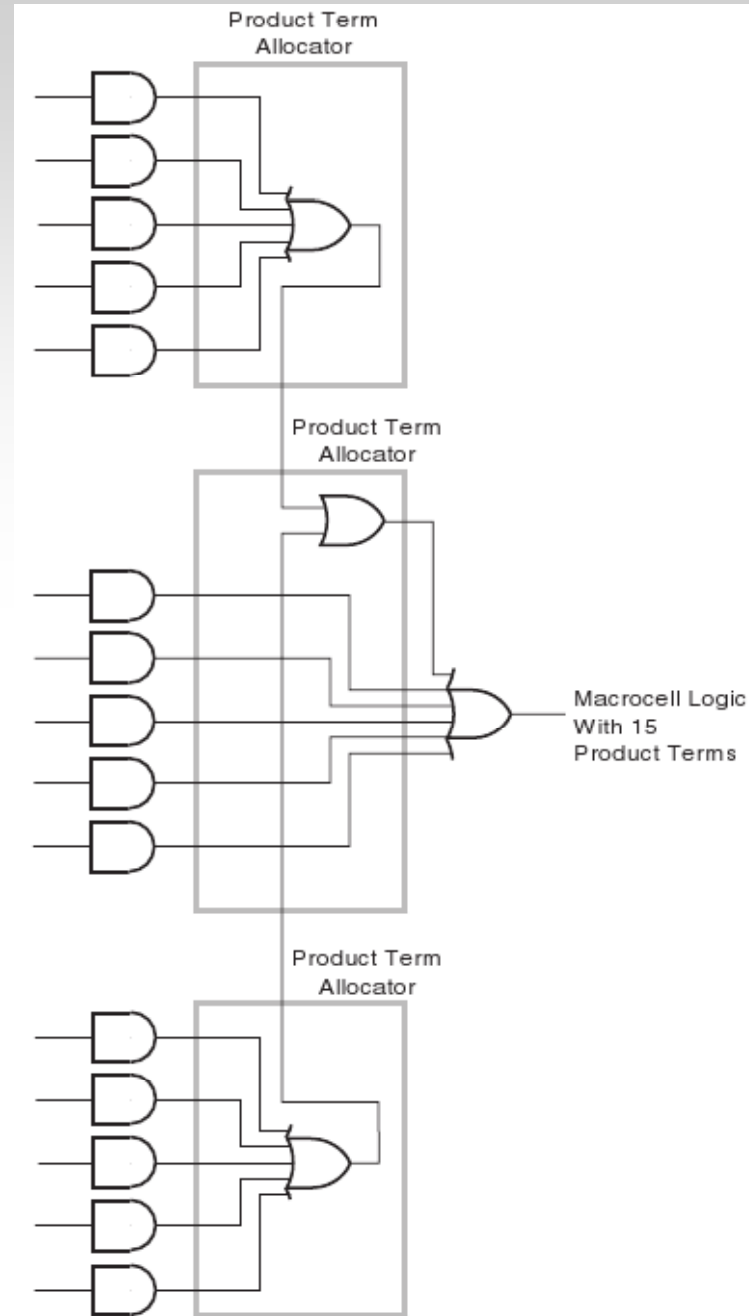




# XC9500 – Clock y Reset de una Macrocella

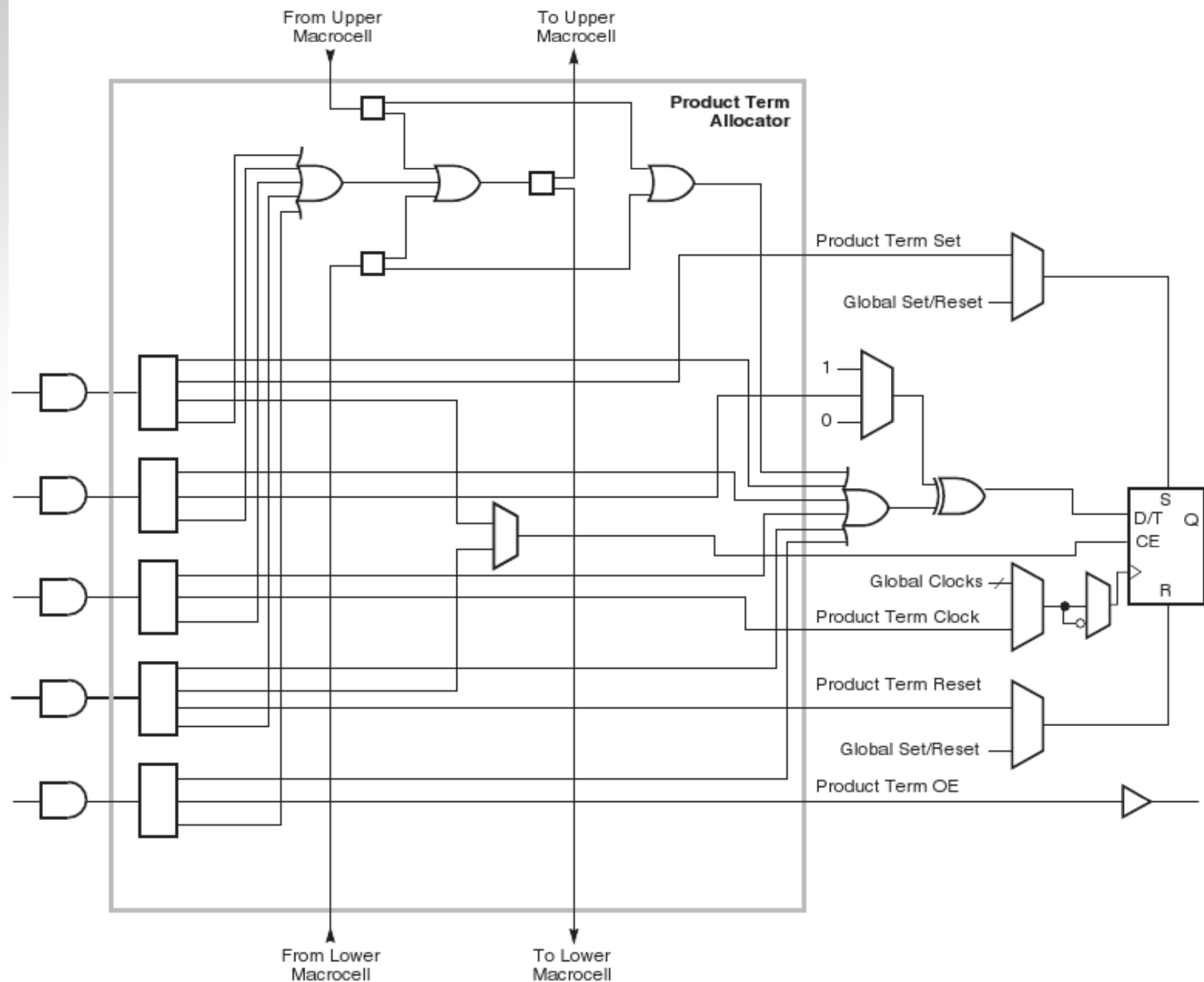


# XC9500 – Asignación de Término Producto de 15 PT

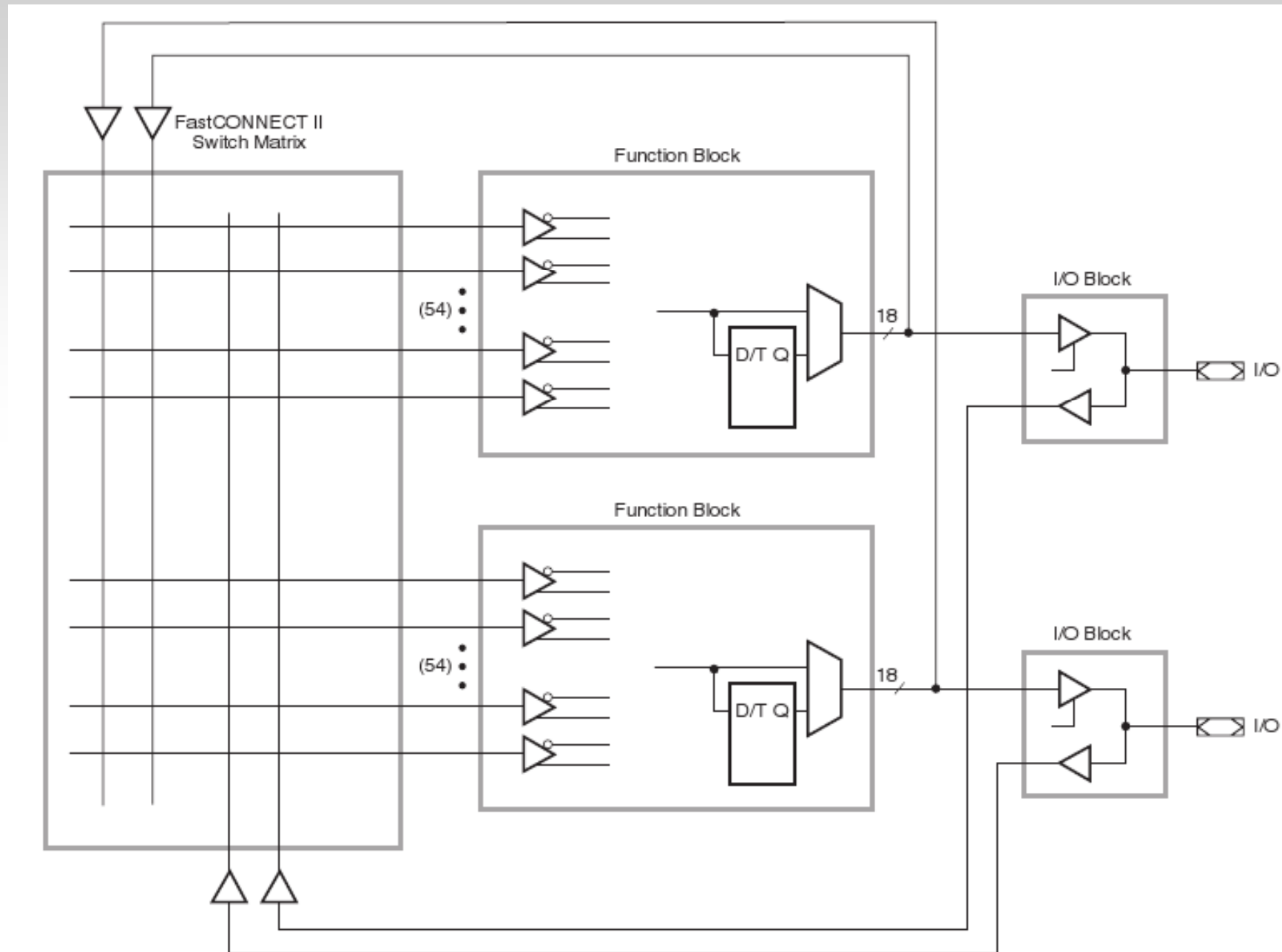


DS054\_05\_042101

# XC9500 – Lógica de Asignación de PTs

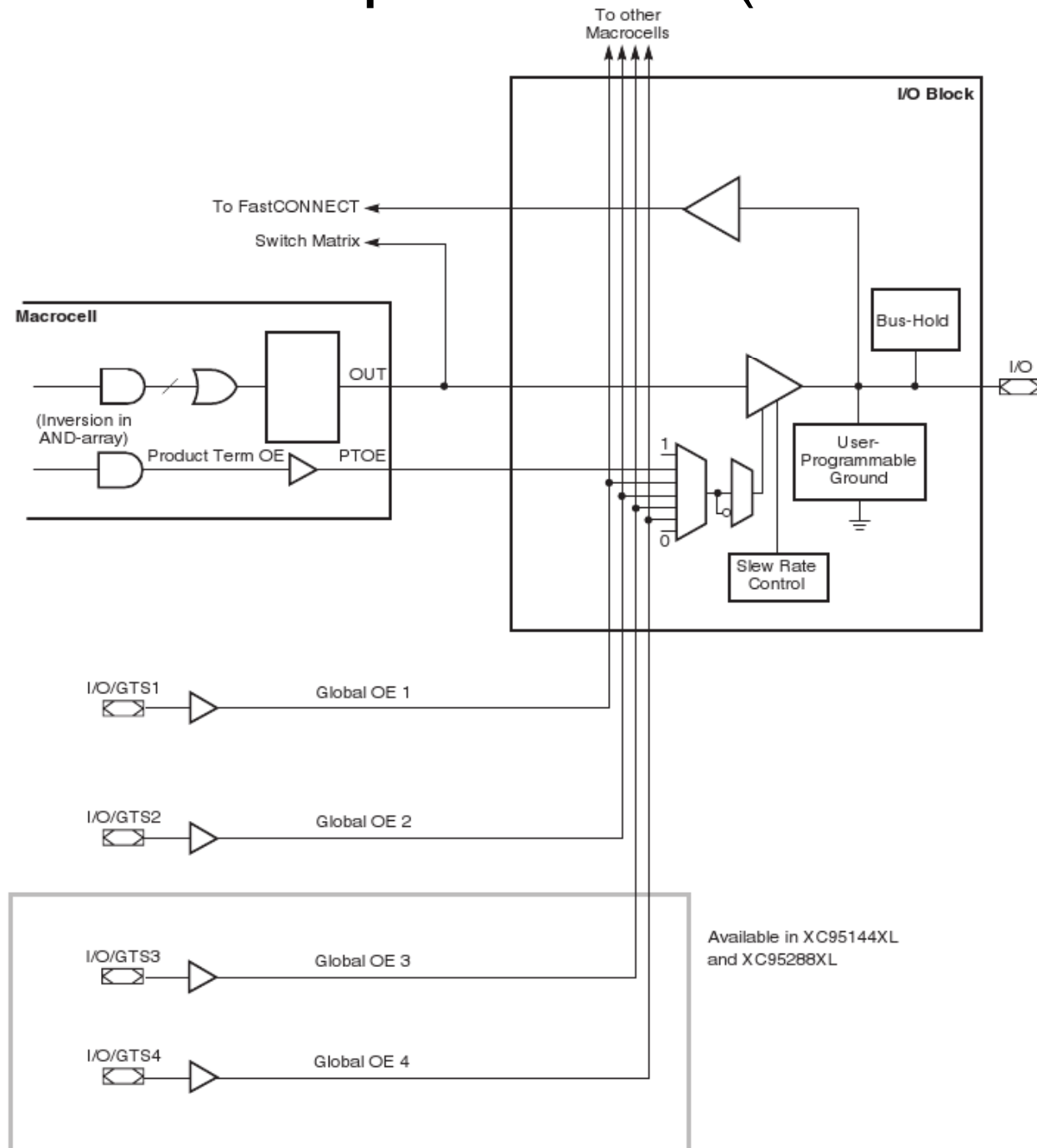


# XC9500 – Matriz de Conexiones Fast Switch



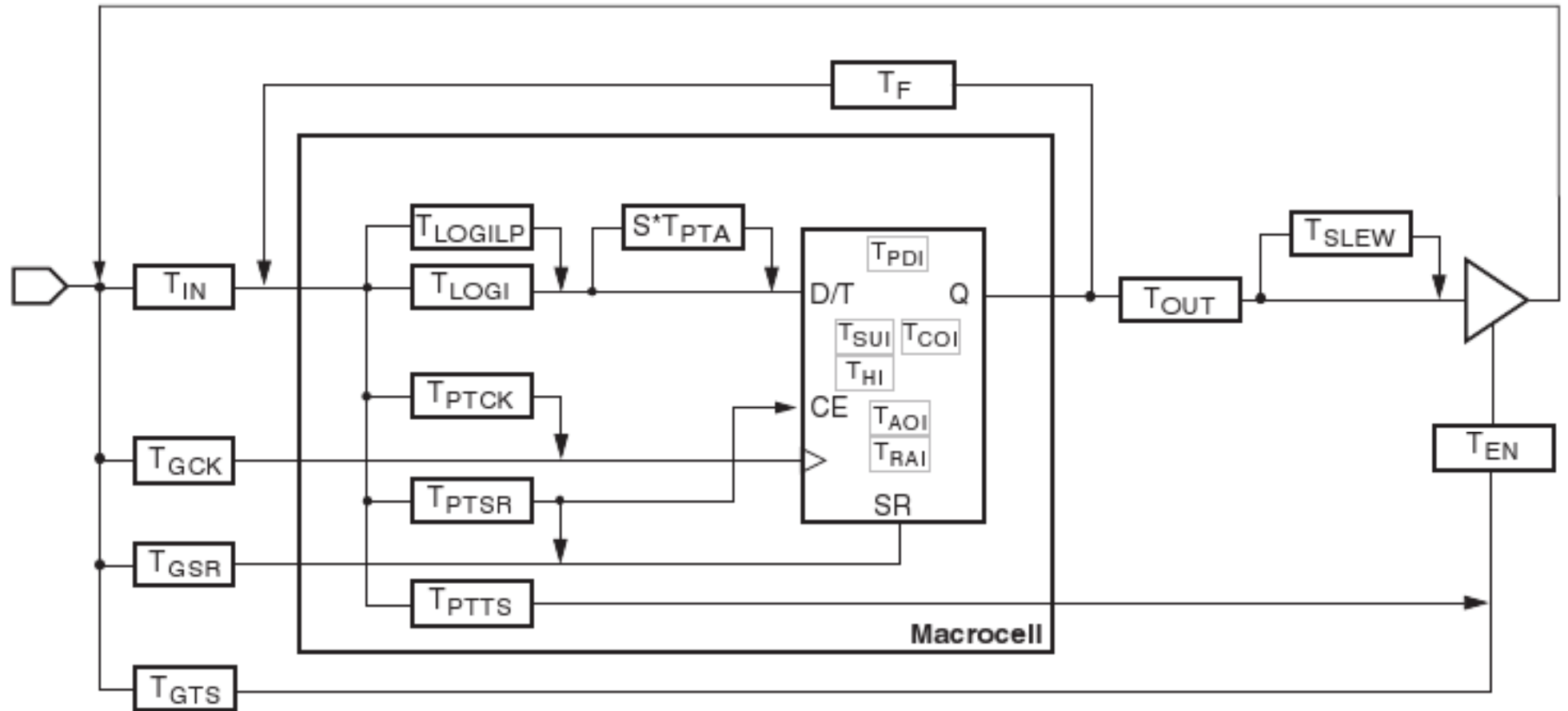
DS054\_09\_042101

# XC9500 – Bloque de E/S (IO Block)



DS094\_10\_042101

# XC9500 – Modelo de Retardos Lógicos



DS054\_16\_042101

# Familia Comercial del XC9500

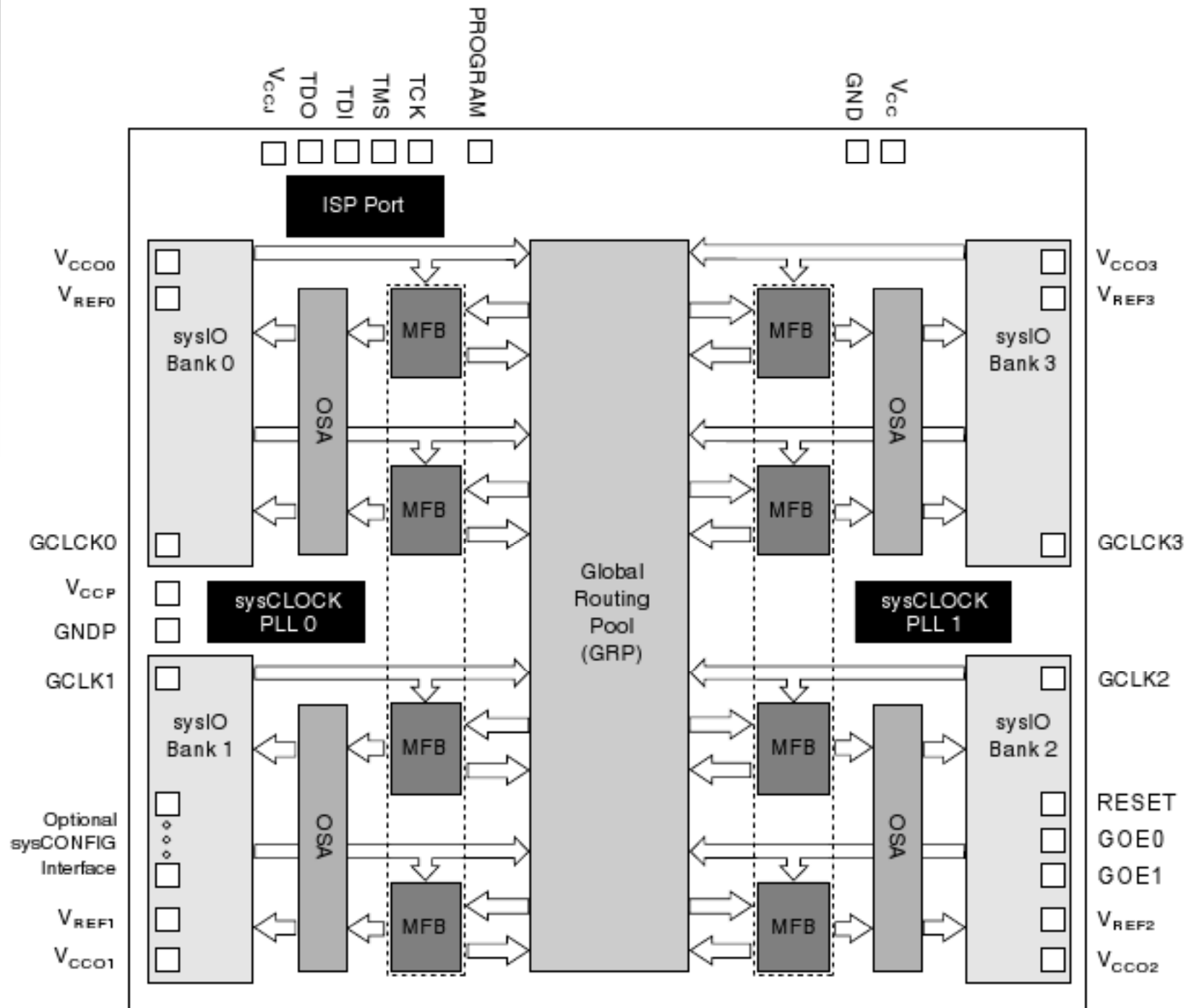
		XC9500XL Family				
		Part Number	XC9536XL	XC9572XL	XC95144XL	XC95288XL
Logic Resources	System Gates	800	1,600	3,200	6,400	
	Macrocells	36	72	144	288	
	Product terms per Macrocell	90	90	90	90	
Clock Resources	Global Clocks	3	3	3	3	
	Product Term Clocks per Function Block	18	18	18	18	
I/O Resources	Maximum I/O	36	72	117	192	
	Input Voltage Compatible	2.5/3.3/5	2.5/3.3/5	2.5/3.3/5	2.5/3.3/5	
	Output Voltage Compatible	2.5/3.3	2.5/3.3	2.5/3.3	2.5/3.3	
Speed	Min. pin-to-pin Logic Delay (ns)	5	5	5	6	
	Commercial Speed Grades (Fastest to Slowest)	-5, -7, -10	-5, -7, -10	-5, -7, -10	-6, -7, -10	
	Industrial Speed Grades (Fastest to Slowest)	-7, -10	-7, -10	-7, -10	-7, -10	

# **Lattice ispXPLD5000MX**

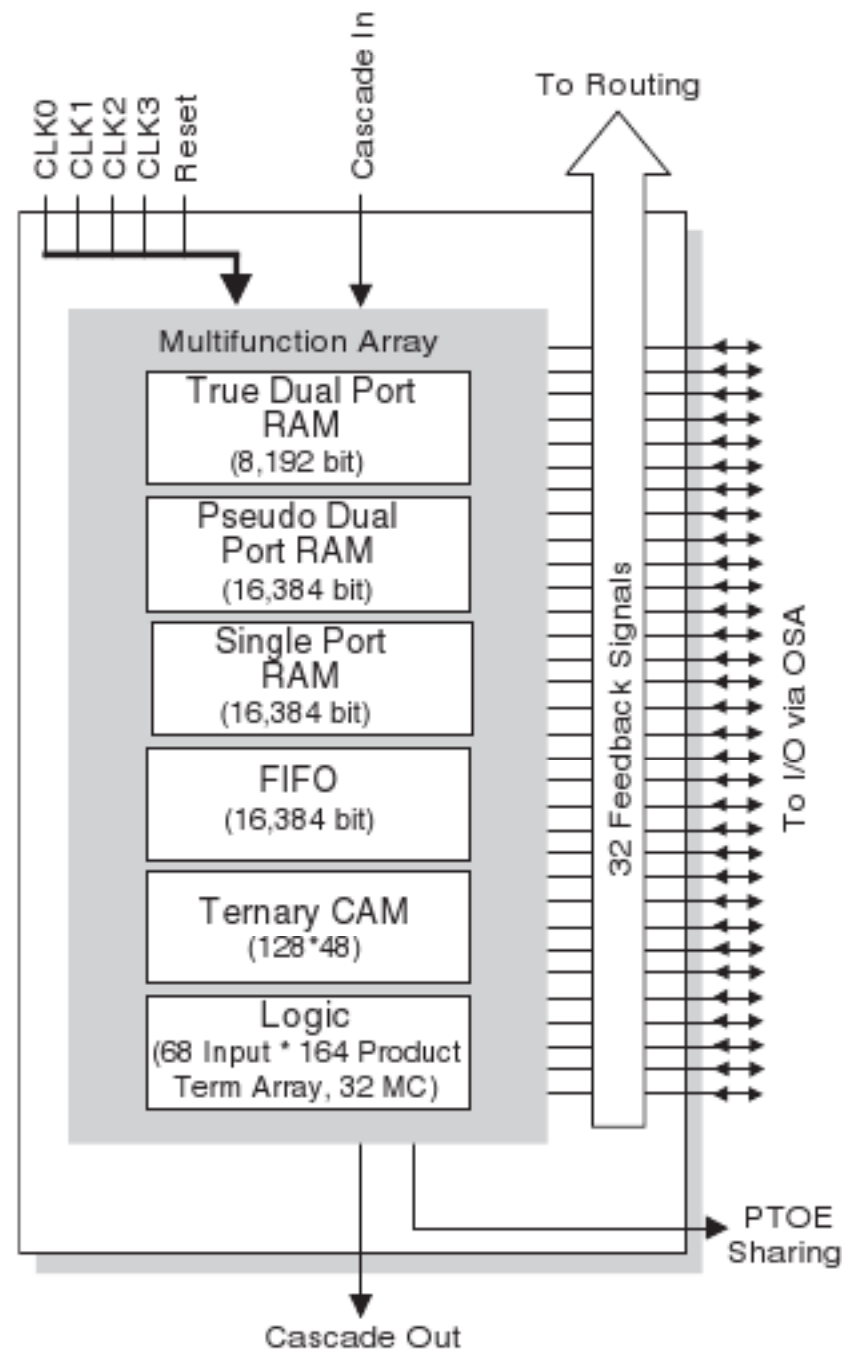
**(eXpanded Programmable Logic Device)**



# ispXPLD 5000MX - Diagrama de Bloques



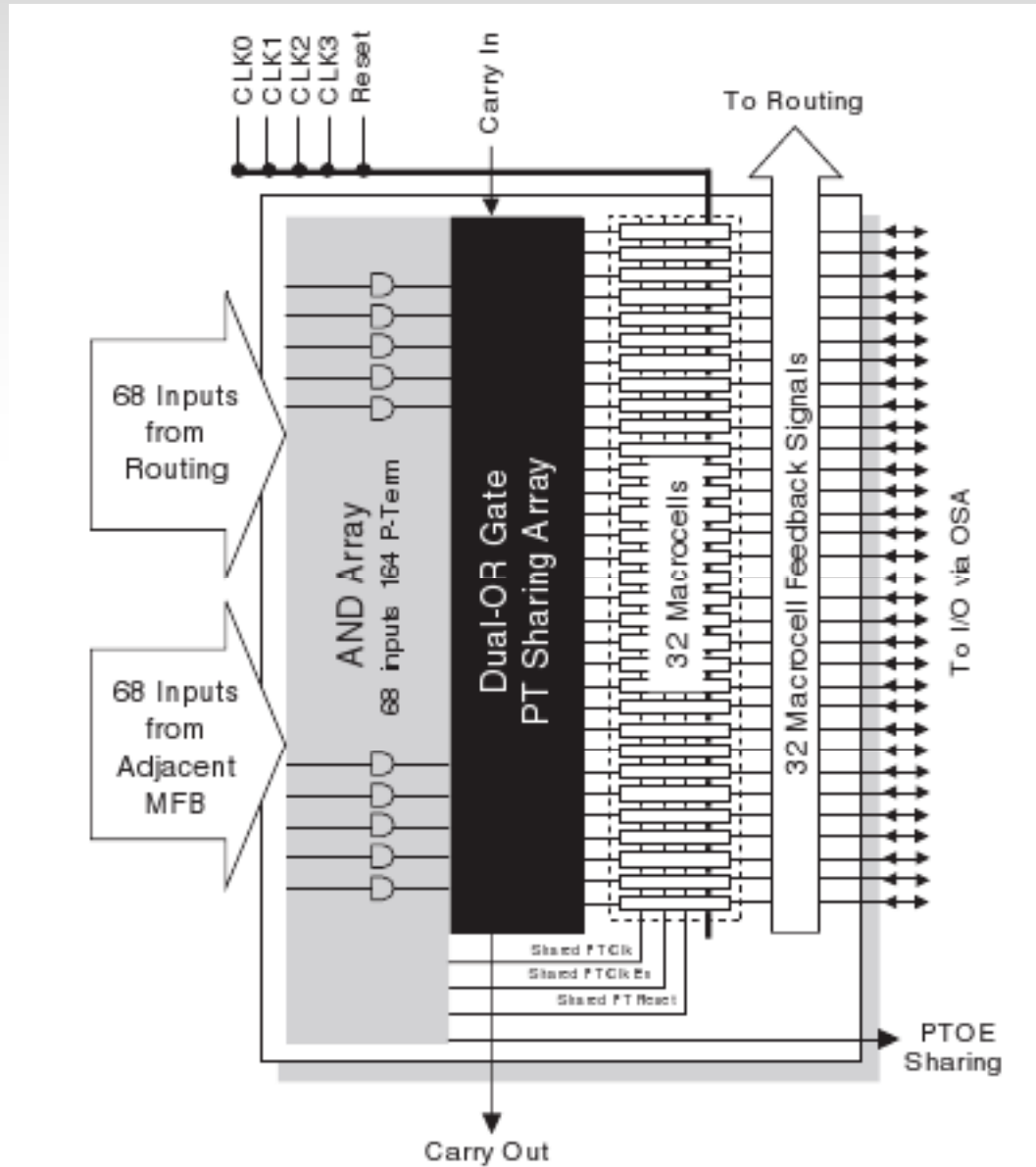
# ispXPLD 5000MX – Bloque Multi-Función



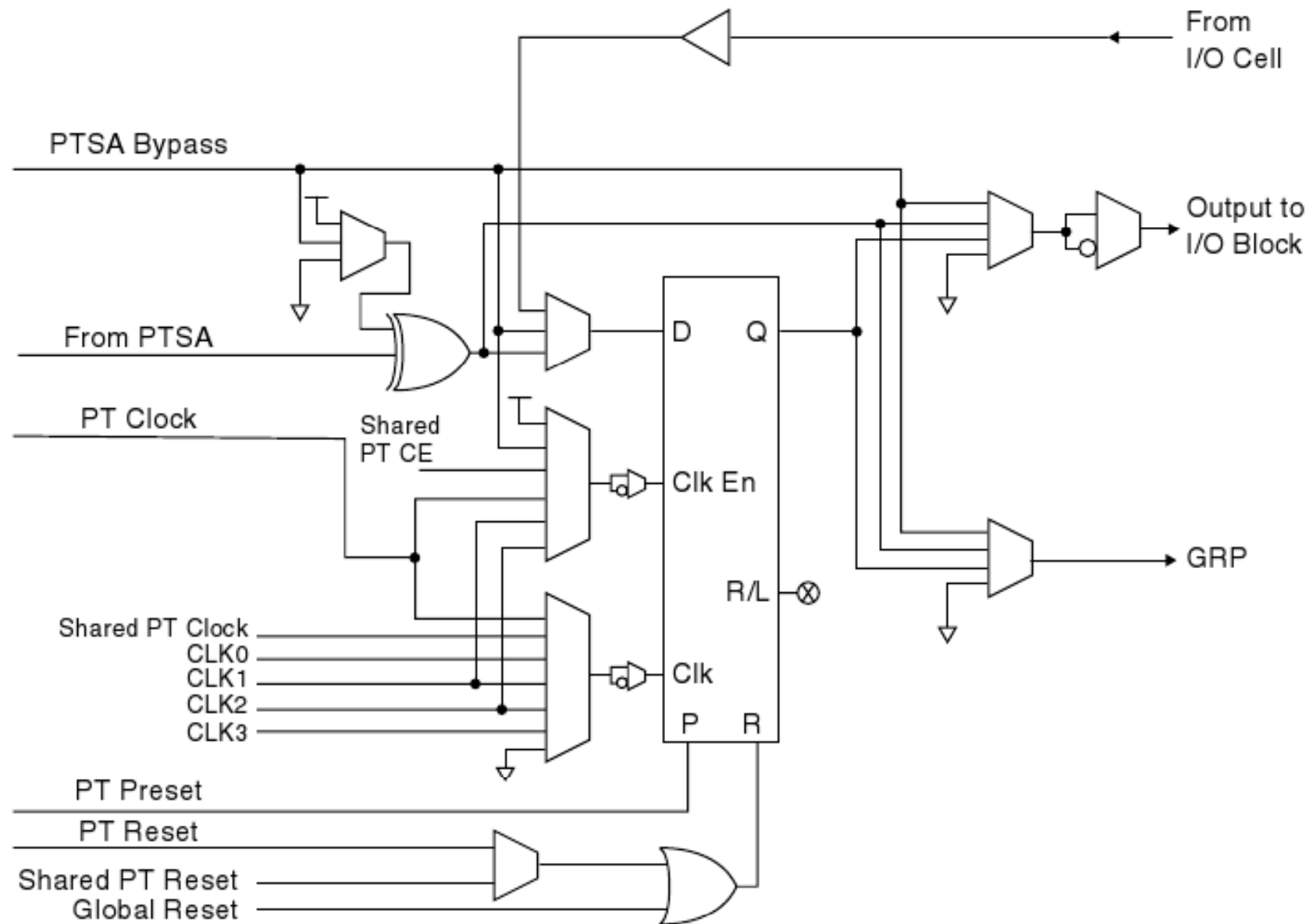
# ispXPLD 5000MX – Modos de Memoria

<b>Memory Mode</b>	<b>Max. Configuration Size<sup>1</sup></b>
Dual-port	8,192 x 1 4,096 x 2 2,048 x 4 1,024 x 8 512 x 16
Single-port, Pseudo Dual Port, FIFO	16,384 x 1 8,192 x 2 4,096 x 4 2,048 x 8 1,024 x 16 512 x 32
CAM	128 x 48

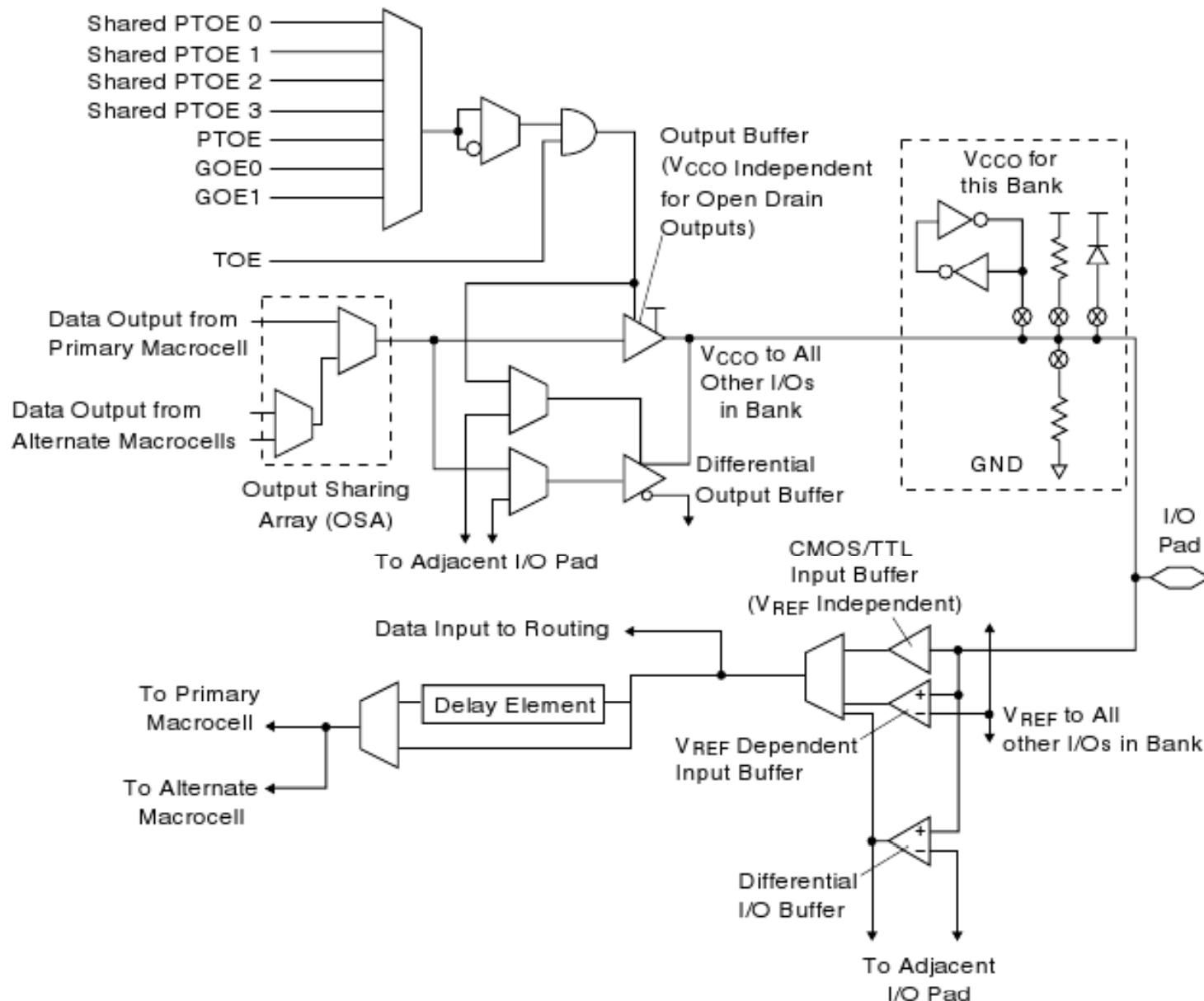
# ispXPLD 5000MX – Modo Lógico Super-Extenso



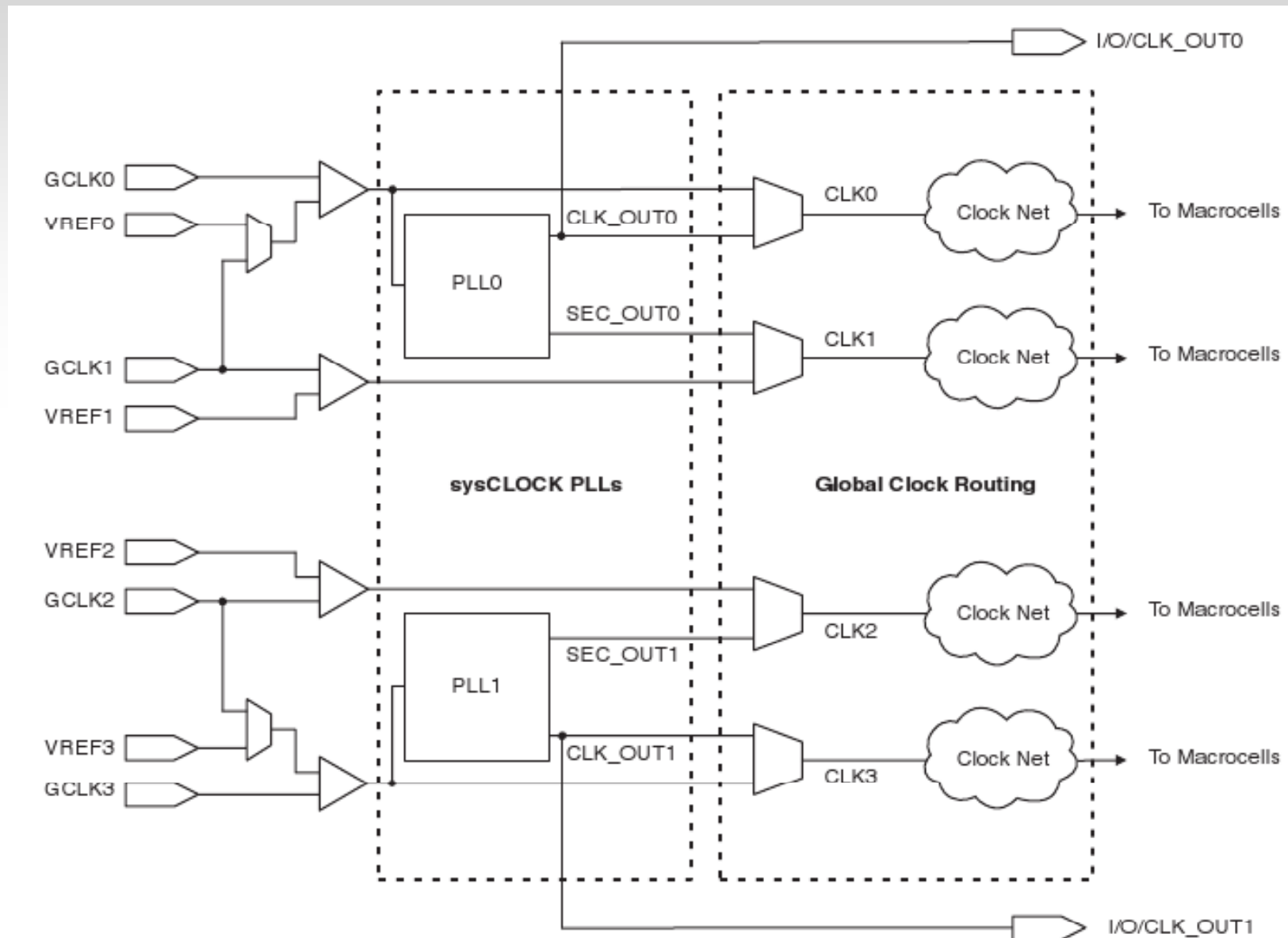
# ispXPLD 5000MX - Macrocell



# ispXPLD5000MX – Bloque de E/S



# ispXPLD5000M – Red de Distribución de Reloj

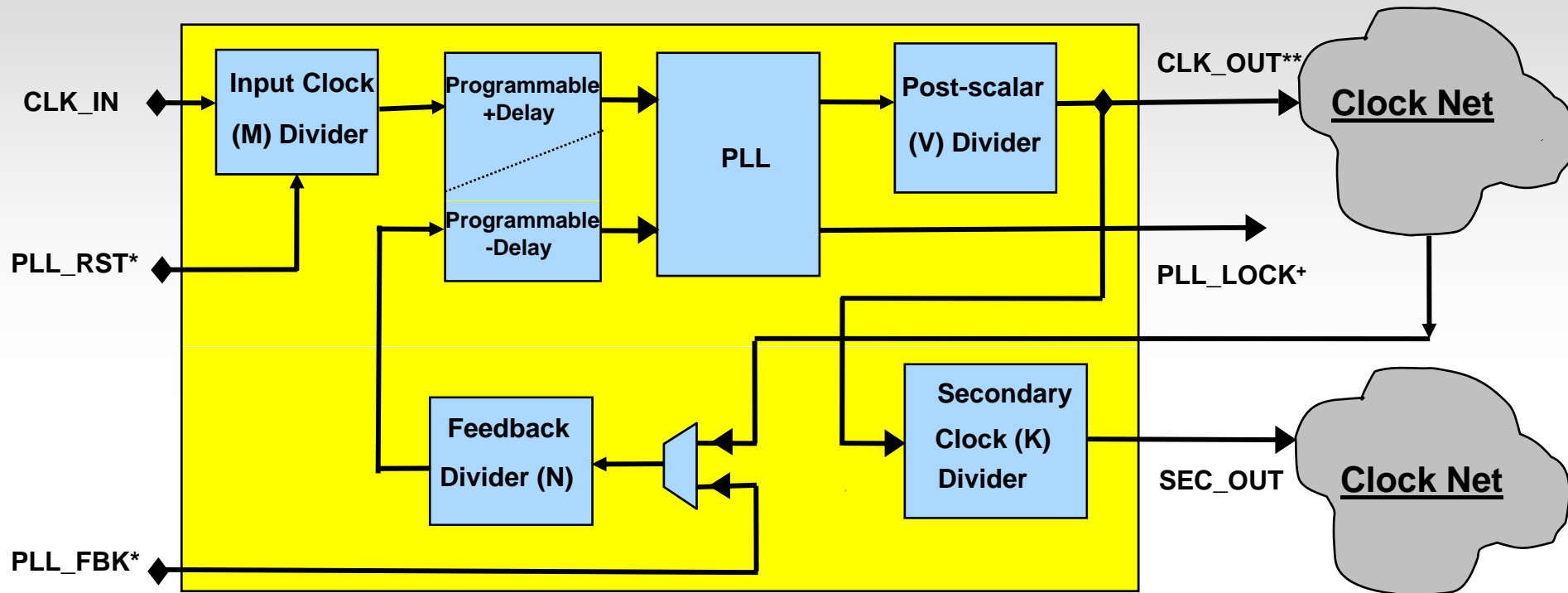


# Porque algunos PLDs tienen PLLs internos ?

- Facilita el funcionamiento de la red de reloj
- Facilita el incremento de la frecuencia de funcionamiento de la lógica implementada
- PLL ayuda a:
  - Remover retardos de buffers
  - Controlar el Sesgo (Skew) del reloj
  - Multiplicar/Dividir la frecuencia de entrada.



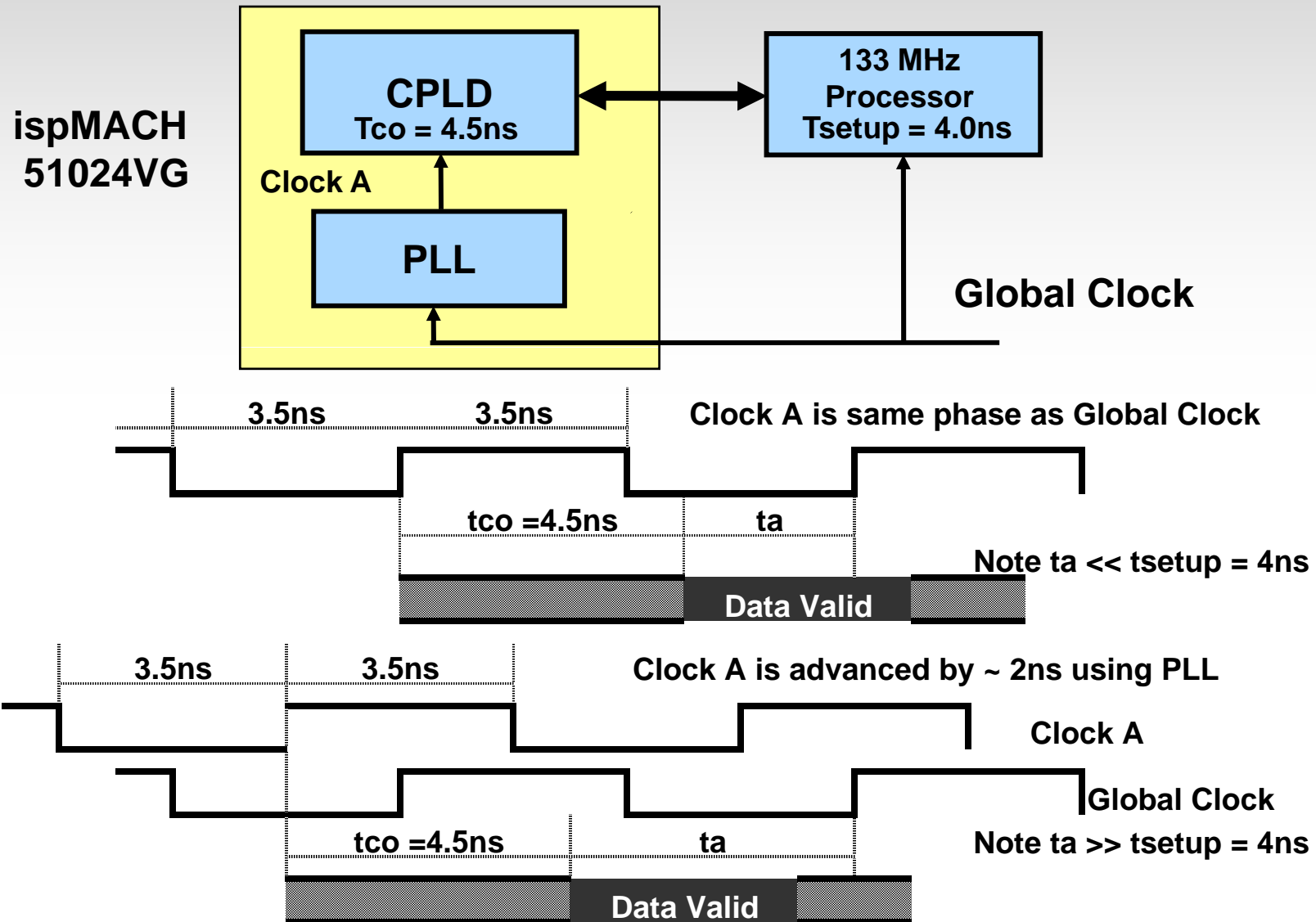
# ispXPLD5000MX - PLL



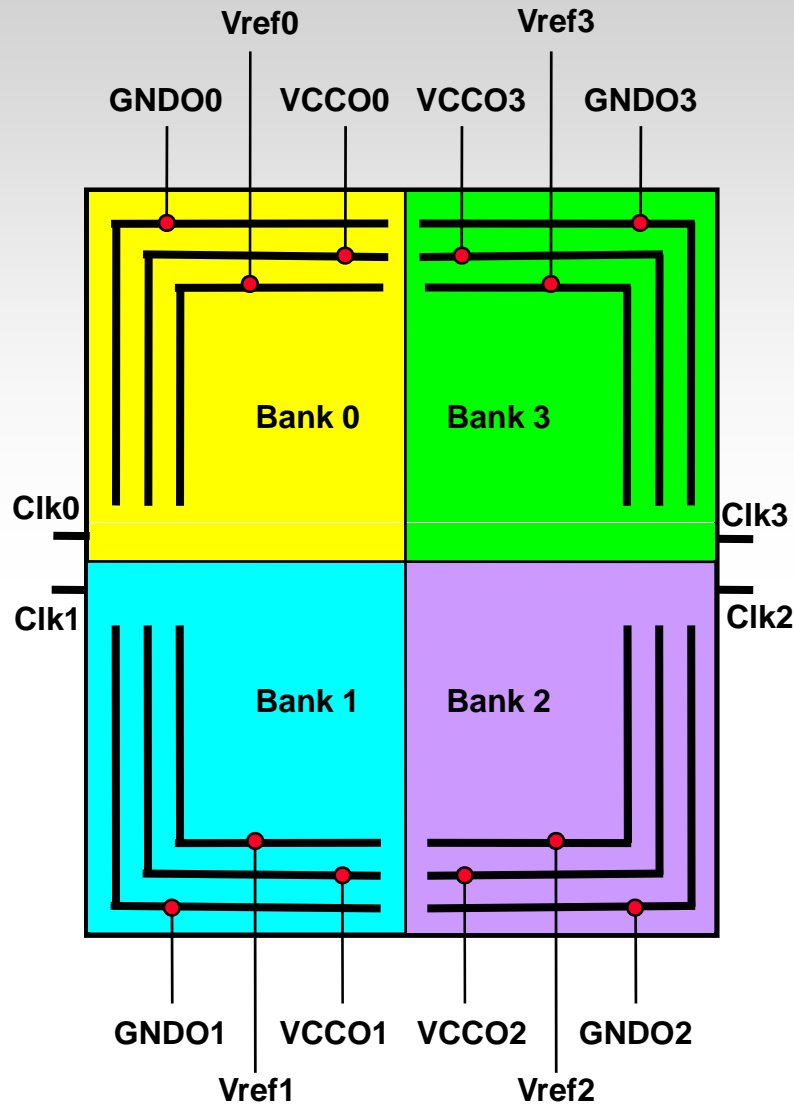
- Frequency Range 7 to 160MHz
- Multiply From 1 to 32
- Divide From 1 to 32
- Shift Clock +/- 3.5ns in 500ps Steps
- Internal and External Feedback

\* Internal Node or Shared I/O Pin  
+ Internal Node  
\*\* Shared I/O Pin

# ispXPLD5000MX – Aplicación del PLL



# ispXPLD5000MX – E/S Bancos de Alimentación



- Four IO Banks Per Device
- Output Standard Support Dependent on:
  - Vcco
  - Vref
- Input Standard Support Dependent on Vref
- Multiple Compatible IO Standards Can Be Supported in Single Bank

# ispXPLD5000MX sys/O™ Blocks

## Chip-to-Memory

- SSTL2 I and II
- SSTL3 I and II
- HSTL I
- HSTL III

## Chip-to-Chip

- LVTTTL
- LVCMOS 3.3
- LVCMOS 2.5
- LVCMOS 1.8
- Programmable Drive Strength

## Chip-to-Backplane

- PCI33\_3
- PCI66\_3
- PCIX
- GTL+
- AGP
- LVDS \*
- LVPECL \*



## **Interface to External RAM**

- SSTL2: Stub Series Terminated Logic for 2.5V (for DDR SDRAM memories)
- HSTL: High Speed Transceiver Logic
- GTL+: Gunning Transceiver Logic Plus (used in the Pentium buses)
- AGP: Accelerated Graphics Port

# ispXPLD 5000MX – Capacidad de E/S

- Cada E/S LVCMOS puede ser configurada con una Corriente de Salida Programable
  - Minimiza la reflexión de señales

LVC MOS 3.3	LVC MOS 2.5	LVC MOS 1.8
<ul style="list-style-type: none"><li>• 4mA</li><li>• 5.33 mA</li><li>• 8 mA</li><li>• 12 mA</li><li>• 16 mA</li><li>• 20 mA</li></ul>	<ul style="list-style-type: none"><li>• 4mA</li><li>• 5.33 mA</li><li>• 8 mA</li><li>• 12 mA</li><li>• 16 mA</li></ul>	<ul style="list-style-type: none"><li>• 4mA</li><li>• 5.33 mA</li><li>• 8 mA</li><li>• 12 mA</li></ul>

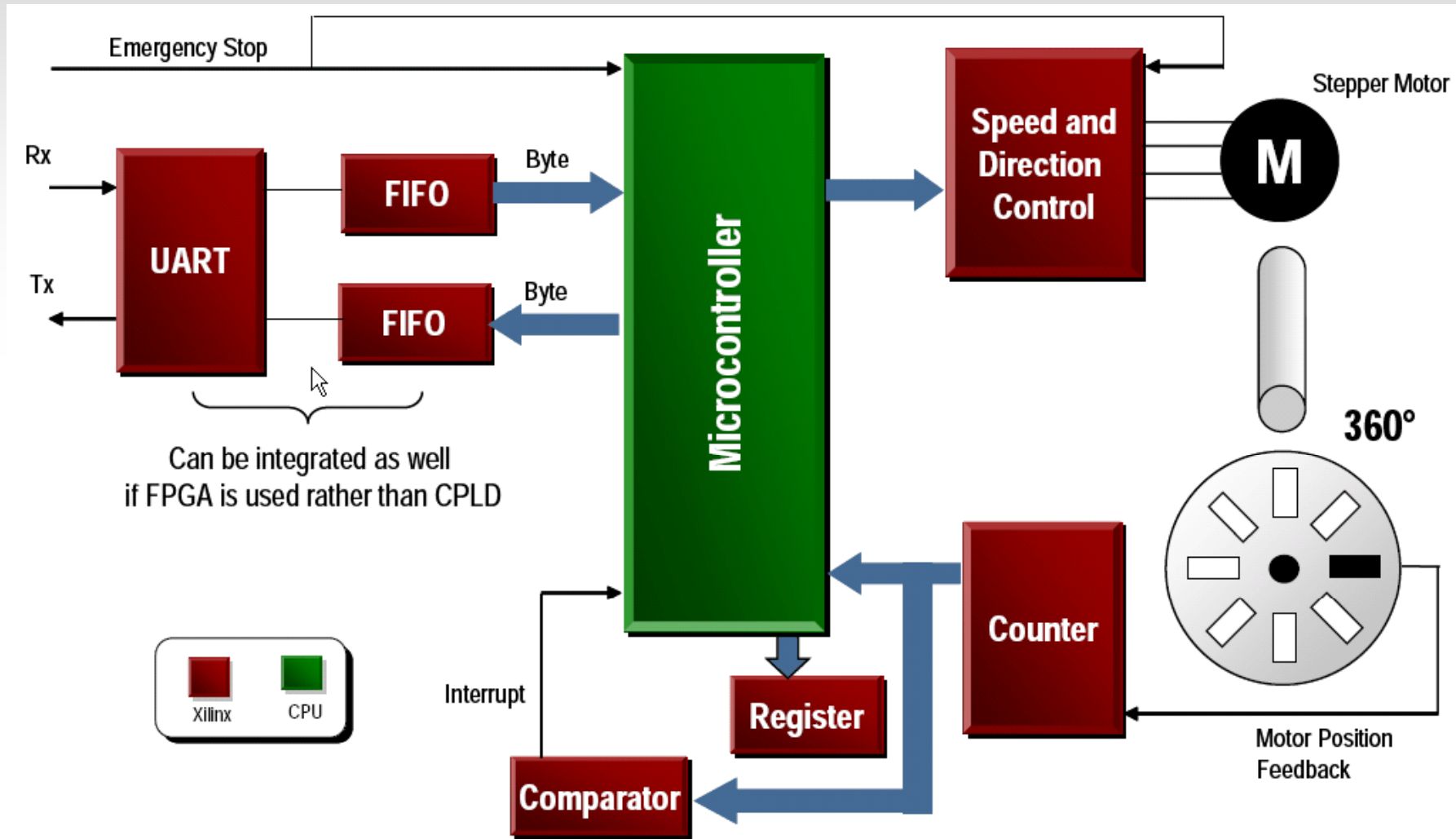
## Además

- Por cada E/S se puede:
  - Fast and Slow Slew Rates (Minimizes Ground Bounce)
  - Open Drain Outputs
  - Pull-Up, Pull-Down, Bus-Keeper & No-Connect
  - Hot Socketing

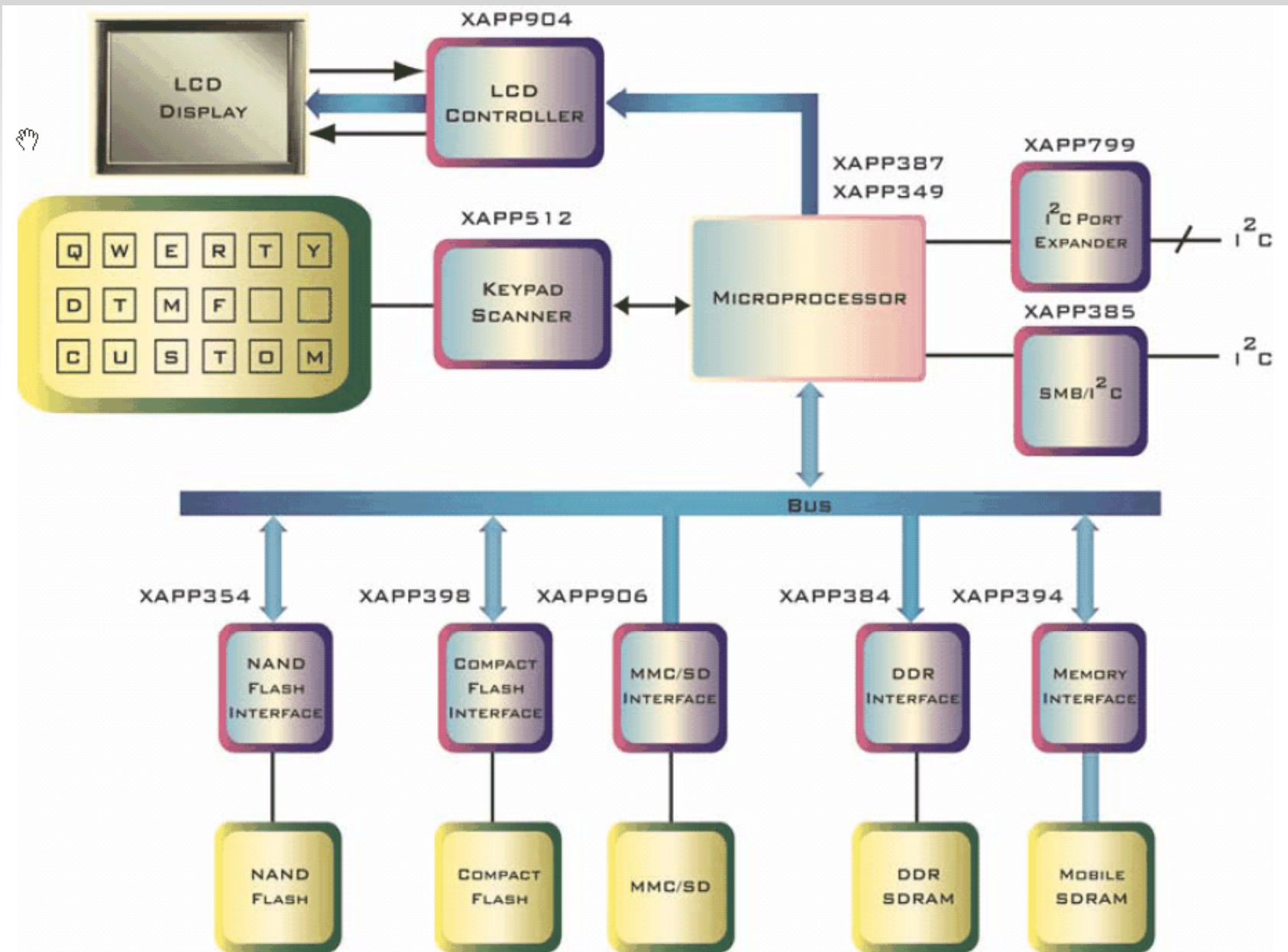
# Aplicaciones de uso de CPLD

- Maquinas de Estado
- Lógica de Control
- 'Glue Logic' para lógica de retardo mínimo (Timing Critical Functions)
- Handshaking de señales
- Decodificación de buses amplios
- Buffer de señales
- Lógica de Interrupción
- Lógica de Control de Power-up

# Aplicación de uso de CPLD



# Aplicación de uso de CPLD





# Notas Aplicaciones de Uso de CPLD - Xilinx

- IrDA and UART Design in a CoolRunner CPLD
- Serial ADC Interface Using a CoolRunner CPLD
- Wireless Transceiver for the CoolRunner CPLD
- CoolRunner-II Smart Card Reader
- CoolRunner-II CPLD I<sup>2</sup>C Bus Controller Implementation
- CoolRunner-II Serial Peripheral Interface Master
- Design of a Digital Camera with CoolRunner-II CPLDs
- CompactFlash Card Interface for CoolRunner-II CPLDs
- Interfacing to Mobile SDRAM with CoolRunner-II CPLDs
- An SMBus/I<sup>2</sup>C-Compatible Port Expander
- Driving LEDs with Xilinx CPLDs
- CoolRunner-II CPLDs in Cell Phone Handsets/Terminals
- Implementing Keypad Scanners with CoolRunner-II
- Level Translation Using Xilinx CoolRunner-II CPLDs
- CoolRunner-II Character LCD Module Interface
- Using Xilinx CPLDs to Interface to a NAND Flash Memory Device
- Cell Phone Security Demoboard On The Fly Reconfiguration Technique
- Using CoolRunner-II with OMAP, XScale, i.MX & Other Chipsets
- Connecting Intel PXA27x Processors to Hard-Disk Drives with a CoolRunner-II CPLD
- A Low-Power IDE Controller Design Using a CoolRunner-II CPLD
- Using a Xilinx CoolRunner-II CPLD as a Data Stream Switch
- Supporting Multiple SD Devices with CoolRunner-II CPLDs

- Deberes: 😊
  - Encontrar el CY37256P160-83C
    - Traer informacion tecnica del mismo
      - Macroceldas?
      - Encapsulado?
      - Rango Temperatura?
      - Minimo tiempo de retardo?