

TRANSISTOR DE EFECTO DE CAMPO

Indice	Pag.
6.1 Introducción al transistor de efecto de campo	2
6.2 Construcción y características de los JFET	3
6.3 Características de transferencia	10
7.1 Configuración de polarización fija	17
7.2 Configuración de autopolarización.....	22

TRANSISTOR DE EFECTO DE CAMPO

6.1 Introducción al transistor de efecto de campo

El transistor de efecto de campo (*FET = Field-Effect Transistor*) es un dispositivo de tres terminales que se emplea para una amplia variedad de aplicaciones que coinciden, en gran parte, con aquellas correspondientes al transistor BJT descritas en los capítulos 2 y 3. Aunque existen diferencias importantes entre los dos tipos de dispositivos, también hay muchas semejanzas que se indicarán en las secciones que siguen.

La diferencia principal entre las dos clases de transistores es el hecho de que el transistor BJT es un dispositivo *controlado por corriente*, como se ilustra en la figura 5.1a, mientras que el transistor JFET es un dispositivo *controlado por voltaje*, como se muestra en la figura 5.1b. En otras palabras, la corriente I_C en la figura 5.1a es una función directa del nivel de I_B . Para el FET la corriente I_D será una función del voltaje v_{GS} aplicado a la entrada del circuito, como se ilustra en la figura 5.1. En cada caso la corriente de la salida del circuito se controla por un parámetro del circuito de entrada, en un caso un nivel de corriente y en otro un voltaje aplicado.

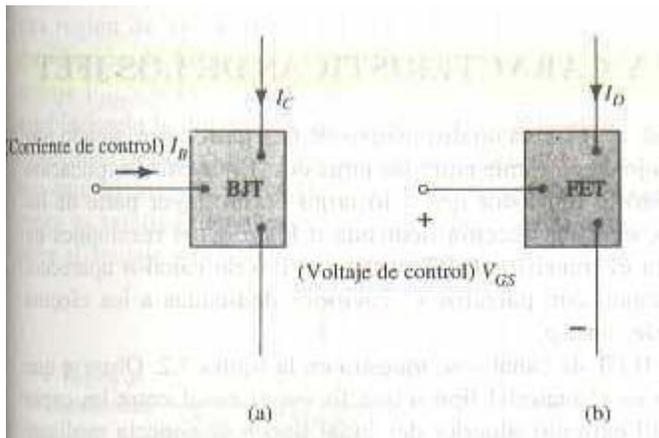


Figura 5.1 Amplificador controlado por corriente (a) y (b) amplificador controlado por voltaje.

Así como hay transistores bipolares *npn* y *pnp*, existen transistores de efecto de campo de *canal-n* y *canal-p*. Sin embargo, es importante tener en cuenta que el transistor BJT es un dispositivo *bipolar* (el prefijo *bi-* revela que el nivel de conducción es una función de dos portadores de carga, electrones y huecos). El FET es un dispositivo *unipolar* que depende únicamente ya sea de la conducción por electrones (*canal-n*) o por huecos (*canal-p*).

El término "efecto de campo" obedece a una explicación. Todos estamos familiarizados con la habilidad de un imán permanente de atraer limaduras de metal sin necesidad de un contacto físico directo. El campo magnético de un imán permanente actúa sobre las limaduras y las atrae hacia el imán a través de un esfuerzo por parte de las líneas de flujo magnético, para mantenerlas a tan corta distancia como sea posible. Para el FET se establece un *campo eléctrico* por medio de las cargas presentes que controlarán la trayectoria de conducción del circuito de salida, sin necesidad de un contacto directo entre la cantidad que controla y la que es controlada.

Cuando se introduce un segundo dispositivo con un rango de aplicaciones semejante a otro presentado con anterioridad, existe una tendencia natural a comparar algunas de las características generales de uno contra el otro. Una de las características más importantes del FET es su *alta impedancia de entrada*. En un nivel de 1 hasta varios cientos de megaohms, este dispositivo excederá con mucho los niveles típicos de resistencia de entrada de las configuraciones con transistores BJT, una característica muy importante en el diseño de sistemas amplificadores lineales de ca. Por otro lado, el transistor BJT tiene una sensibilidad mucho mayor a los cambios en la señal aplicada. En otras palabras, la variación en la corriente de salida es por lo general mucho mayor para los BJT que para los FET, con el mismo cambio en el voltaje. Por esta razón, las ganancias típicas de voltaje de ca para amplificadores BJT son mucho mayores que para FET. En general los FET son más estables con relación a la temperatura que los BJT, y los FET son normalmente más pequeños en construcción que los BJT, haciéndolos particularmente útiles en *circuitos integrados (CI)*. Sin embargo, las características de construcción de algunos FET pueden hacerlos más sensibles al manejo que los BJT.

En este capítulo se introducirán dos tipos de FET: *el transistor de efecto de campo de unión (JFET)* y *el transistor de efecto de campo de metal-óxido-semiconductor MOSFET*. La categoría MOSFET se subdivide posteriormente en los tipos decremental e incremental, que se describirán en su oportunidad. El transistor MOSFET se ha convertido en uno de los más importantes dispositivos empleados en el diseño y construcción de circuitos integrados para computadoras digitales. Su estabilidad térmica otras características generales lo han hecho extremadamente popular en e) diseño de circuitos de computadora. Sin embargo, ya que es un elemento discreto en un típico encapsulado cilíndrico, debe manejarse con cuidado (como se discutirá en una sección posterior).

Una vez que se presenten las características y la construcción del FET, se cubrirán los arreglos de polarización en el capítulo 7. El análisis realizado en el capítulo 3 empleando transistores BJT probará su utilidad en la derivación de las ecuaciones importantes y la comprensión de los resultados obtenidos para los circuitos FET.

6.2 Construcción y características de los JFET

Como se indicó con anterioridad, el JFET es un dispositivo de tres terminales, siendo una de ellas capaz de controlar el flujo de corriente entre las otras dos. En nuestra explicación sobre el transistor BJT se utilizó el transistor *npn* a lo largo de la mayor parte de las secciones de análisis y diseño, con una sección dedicada a los efectos resultantes de emplear un transistor *pnp*. Para el transistor JFET el dispositivo de canal-n aparecerá como el dispositivo predominante, con párrafos y secciones dedicadas a los efectos resultantes del uso de un JFET de canal-p.

La construcción básica del JFET de canal-n se muestra en la figura 5.2. Observe que la mayor parte de la estructura es el material tipo *n* que forma el canal entre las capas difundidas en material tipo *p*. El extremo superior del canal tipo *n* se conecta mediante contacto óhmico a la terminal denominada como *drenaje* (drain) (*D*), mientras que el extremo inferior del mismo material se conecta por medio de contacto óhmico a la terminal llamada la *fuentes* (source) (*S*). Los dos materiales tipo *p* se encuentran conectados juntos y al mismo tiempo hacia la terminal de *compuerta* (gate) (*Q*). Por tanto, *esencialmente* el drenaje y la fuente se conectan en esencia a los extremos del canal tipo *n* y la compuerta, a las dos capas del material tipo *p*. En ausencia de cualquiera de los potenciales aplicados, el JFET tiene dos uniones p-n bajo condiciones sin

polarización. El resultado es una región de agotamiento en cada unión, como se ilustra en la figura 5.2, que se parece a la misma región de un diodo bajo condiciones sin polarización. Recuerdese también que una región de agotamiento es aquella región carente de portadores libres y por lo tanto incapaz de permitir la conducción a través de la región.

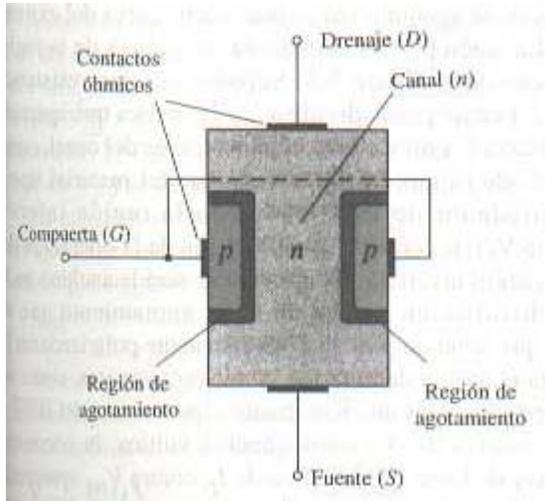


Figura 5.2 Transistor de unión de efecto de campo (JFET).

Muy pocas veces las analogías son perfectas y en ocasiones pueden ser engañosas, pero la analogía hidráulica de la figura 5.3 proporciona un sentido al control del JFET en la terminal de compuerta y a la conveniencia de la terminología aplicada a las terminales del dispositivo. La fuente de la presión del agua puede semejarse al voltaje aplicado del drenaje a la fuente, el cual establecerá un flujo de agua (electrones) desde el grifo o llave (fuente). La "compuerta", por medio de una señal aplicada (potencial), controla el flujo del agua (carga) hacia el "drenaje". Las terminales del drenaje y la fuente están en los extremos opuestos del canal-n, como se ilustra en la figura 5.2, debido a que la terminología se define para el flujo de electrones.



Figura 5.3 Analogía hidráulica para el mecanismo de control del JFET.

$V_{GS} = 0 \text{ V}$, V_{DS} cualquier valor positivo

En la figura 5.4 se ha aplicado un voltaje positivo V_{DS} y a través del canal y la compuerta se ha conectado en forma directa a la fuente para establecer la condición $V_{GS} = 0 \text{ V}$. El resultado es que las terminales de compuerta y fuente se hallan al mismo potencial y hay una región de agotamiento en el extremo inferior de cada material p , semejante a la distribución de las

condiciones sin polarización de la figura 5.2. En el instante que el voltaje v_{DD} ($= V_{DS}$) se aplica, los electrones serán atraídos hacia la terminal de drenaje, estableciendo la corriente convencional I_D con la dirección definida de la figura 5.4. La trayectoria del flujo de carga revela con claridad que las corrientes de fuente y drenaje son equivalentes ($I_D = I_S$). Bajo las condiciones que aparecen en la figura 5.4, el flujo de carga es relativamente permitido y limitado únicamente por la resistencia del canal-n entre el drenaje y la fuente.

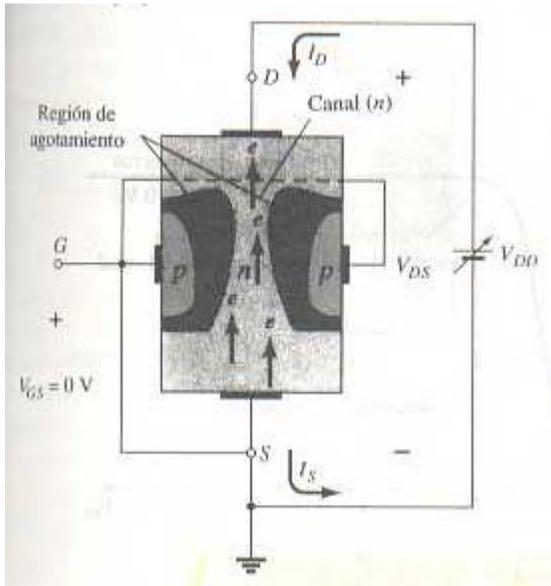


Figura 5.4 JFET en la región $V_{GS} = 0$ V y $V_{DS} > 0$ V.

Es importante observar que la región de agotamiento es más ancha cerca del extremo superior de ambos materiales tipo p . La razón para el cambio en la anchura de la región se puede describir mejor con la ayuda de la figura 5.5. Suponiendo una resistencia uniforme en el canal-n, la resistencia del canal puede dividirse en las partes que aparecen en la figura 5.5. La corriente I_D establecerá los niveles de voltaje a través del canal, como se indica en la misma figura. El resultado es que la región superior del material tipo p estará inversamente polarizada alrededor de los 1.5 V, con la región inferior inversamente polarizada sólo en los 0.5 V. Recuérdese, la explicación de la operación del diodo, que cuanto mayor sea la polarización inversa aplicada, mayor será la anchura de la región de agotamiento, de aquí la distribución de la región de agotamiento que se muestra en la figura 5.5. El hecho de que la unión p - n esté inversamente polarizada en la longitud del canal da por resultado una corriente de compuerta de cero amperes, como se ilustra en la misma figura. El hecho que $i_G = 0$ A es una importante característica del JFET.

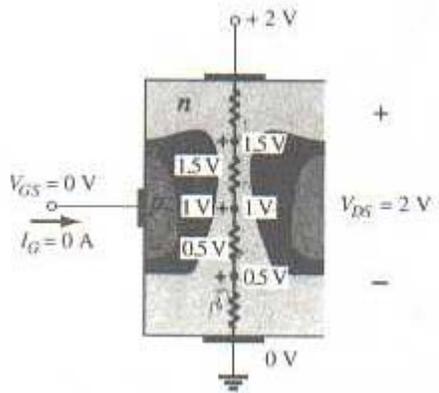


Figura 5.5 Variación de los potenciales de polarización inversa a través de la unión $p-n$ de un JFET de canal n .

En cuanto el voltaje V_{DS} se incrementa de 0 a unos cuantos voltios, la corriente aumentará según se determina por la ley de Ohm, y la gráfica de ID contra V_{DS} aparecerá como se ilustra en la figura 5.6. La relativa linealidad de la gráfica revela que para la región de valores inferiores de V_{DS} la resistencia es esencialmente una constante. A medida que V_{DS} se incrementa y se aproxima a un nivel denominado como V_p en la figura 5.6, las regiones de agotamiento de la figura 5.4 se ampliarán, ocasionando una notable reducción en la anchura del canal. La reducida trayectoria de conducción causa que la resistencia se incremente, y provoca la curva en la gráfica de la figura 5.6. Cuanto más horizontal sea la curva, más grande será la resistencia, lo que sugiere que la resistencia se aproxima a "infinitos" ohms en la región horizontal. Si V_{DS} se incrementa hasta un nivel donde parezca que las dos regiones de agotamiento se "tocarían", como se ilustra en la figura 5.7, se tendría una condición denominada como *estrechamiento* (pinch-off). El nivel de V_{DS} que establece esta condición se conoce como el *voltaje de estrechamiento* y se denota por V_p , como se muestra en la figura 5.6. En realidad, el término "estrechamiento" es un nombre inapropiado en cuanto a que sugiere que la corriente i_D disminuye, al estrecharse el canal, a 0 A. Sin embargo, como se muestra en la figura 5.6, es poco probable que ocurra este caso, ya que ID mantiene un nivel de saturación definido como ID_{SS} en la figura 5.6. En realidad existe todavía un canal muy pequeño, con una corriente de muy alta densidad. El hecho de que ID no caiga por el estrechamiento y mantenga el nivel de saturación indicado en la figura 5.6 se verifica por el siguiente hecho: la ausencia de una corriente de drenaje eliminaría la posibilidad de diferentes niveles de potencial a través del canal de material n , para establecer los niveles de variación de polarización inversa a lo largo de la unión $p-n$. El resultado sería una pérdida de la distribución de la región de agotamiento, que ocasiona en primer lugar el estrechamiento.

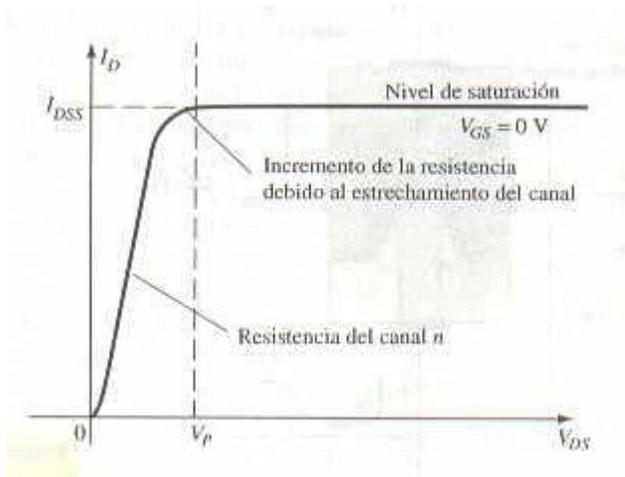


Figura 5.6 I_D contra V_{DS} para $V_{GS} = 0$ V.

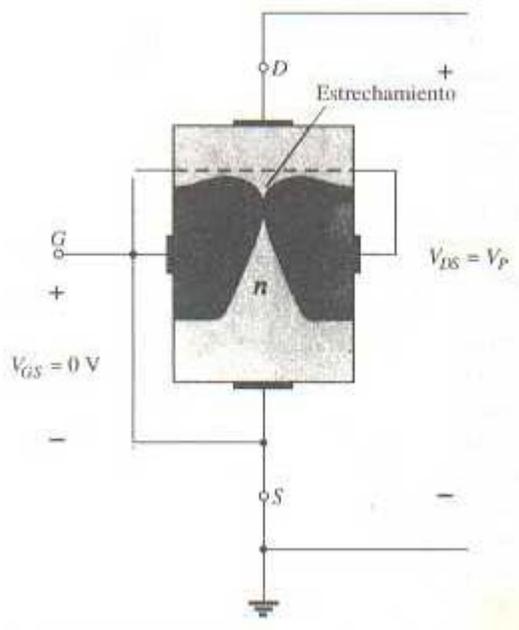


Figura 5.7 Estrechamiento ($V_{GS} = 0$ V, $V_{DS} = V_p$).

A medida que V_{DS} incrementa su valor más allá de V_p , la región de estrechamiento entre las dos regiones de agotamiento aumentará en longitud a lo largo del canal, pero el nivel de I_D continúa siendo fundamentalmente el mismo. Por tanto, esencialmente, una vez que $V_{DS} > V_p$ el JFET posee las características de una fuente de corriente. Como se muestra en la figura 5.8, la corriente está fija en $I_D = I_{DSS}$, pero el voltaje V_{DS} y (para niveles $> V_p$) se determina por la carga aplicada.

La elección de la notación para I_{DSS} se deriva del hecho de que es la corriente de drenaje a fuente con una conexión en corto circuito de la compuerta a la fuente. A medida que continuemos investigando las características del dispositivo hallaremos que: *I_{DSS} es la máxima corriente de drenaje, para un JFET y se define por las condiciones $V_{GS} = 0$ V y $V_{DS} > V_p$.*

Nótese en la figura 5.6 que $V_{GS} = 0$ V para la longitud total de la curva. Los breves párrafos siguientes describirán cómo se afectan las características de la figura 5.6 a causa de los cambios en el nivel de V_{GS} .

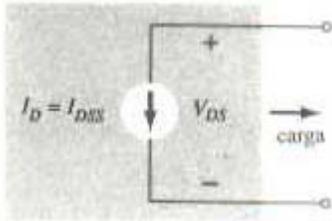


Figura 5.8 Fuente de corriente equivalente para $V_{GS} = 0$ V, $V_{DS} > V_p$.

$V_{GS} < 0$ v

El voltaje de la compuerta a la fuente, que se denota como V_{GS} es el voltaje de control del JFET. Del mismo modo que fueron establecidas varias curvas de I_C contra V_{CE} para diferentes niveles de I_B para el transistor BJT, pueden desarrollarse curvas de I_D contra V_{DS} para varios niveles de V_{GS} para el JFET. Para el dispositivo de canal n el voltaje de control V_{GS} se hace más y más negativo con respecto a. su nivel de $V_{GS} = 0$ V. En otras palabras, la terminal de compuerta se situará en niveles de potencia cada vez más bajos en comparación con la fuente.

En la figura 5.9 se ha aplicado un voltaje negativo de -1 V entre las terminales de compuerta y fuente para un nivel bajo de V_{DS} . El efecto de la polarización negativa aplicada V_{GS} es el de establecer regiones de agotamiento semejantes a las obtenidas con $V_{GS} = 0$ V pero a menores niveles de V_{DS} . Por lo tanto, el resultado de aplicar una polarización negativa a la compuerta es el de alcanzar el nivel de saturación a un nivel menor de V_{DS} , como se ilustra en la figura 5.10 para $V_{GS} = -1$ V. El nivel de saturación resultante para I_D se ha reducido y de hecho continuará disminuyendo en tanto V_{GS} continúe haciéndose más y más negativo. Obsérvese también en la figura 5.10 cómo el voltaje de estrechamiento continúa decayendo en forma parabólica a medida que V_{GS} se vuelve más y más negativo. Eventualmente, cuando $v_{GS} = -V_p$, V_{GS} , será lo suficientemente negativo para establecer un nivel de saturación que es esencialmente de 0 mA, y para todos los fines prácticos el dispositivo se habrá "apagado". En resumen:

El nivel de v_{GS} que resulta en $I_D = 0$ mA se define por $V_{GS} = V_p$, siendo V_p , un voltaje negativo para dispositivos de canal n y un voltaje positivo para JFETs de canal-p.

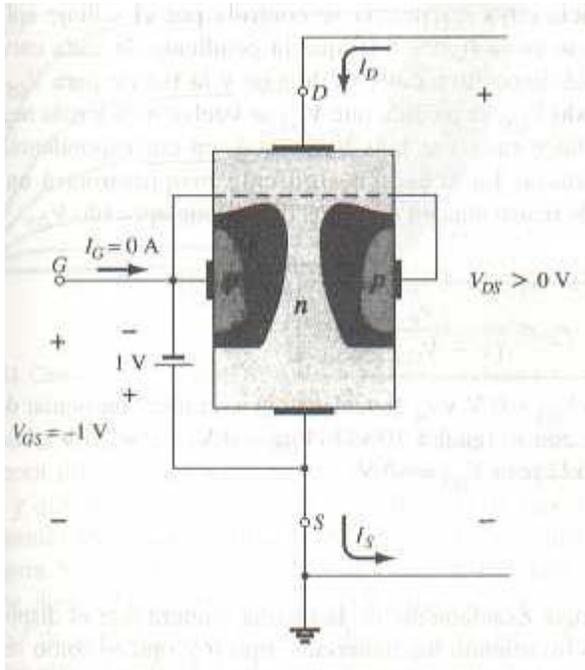


Figura 5.9 Aplicación de un voltaje negativo a la compuerta de un JFET.

En la mayoría de las hojas de especificaciones, el voltaje de estrechamiento se especifica como V_{GS} (apagado), en lugar de V_p . Se revisará una hoja de especificaciones posteriormente en el capítulo, cuando se hayan introducido los elementos principales de interés. La región de la derecha de la curva de estrechamiento de la figura 5.10 es la región normalmente empleada para amplificadores lineales (amplificadores con una mínima distorsión de la señal aplicada) y se le conoce comúnmente como *región de corriente constante, de saturación o de amplificación lineal*.

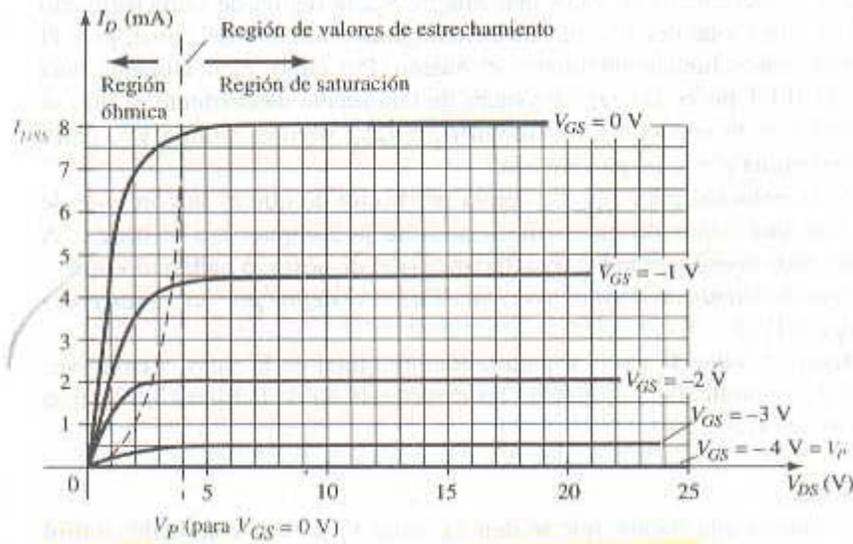


Figura 5.10 Características de un JFET de canal n con $I_{DSS} = 8$ mA y $V_p = -4$ V.

6.3 Características de transferencia

Derivación

Para el transistor BJT la corriente de salida I_C y la corriente controladora de entrada I_B estaban relacionadas por medio del factor beta, el cual se consideraba constante para el análisis a realizarse. En forma de ecuación,

$$I_C = f(I_B) = \beta I_B$$

En la ecuación anterior existe una relación lineal entre I_C e I_B . Duplíquese el nivel de I_B e I_C , también se incrementará por un factor de 2.

Desafortunadamente, esta relación lineal no existe entre las cantidades de salida y entrada de un JFET. La relación entre I_D y V_{GS} se define por la *ecuación de Shockley*:

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2$$

El término cuadrado de la ecuación dará como resultado una relación no lineal entre I_D y V_{GS} , produciendo una curva que crece exponencialmente con el incremento de los valores de V_{GS} .

Para el análisis de cd que se realizará en el capítulo 7, será más fácil y directo en general aplicar un enfoque más gráfico que matemático. Sin embargo, el enfoque gráfico requerirá una gráfica de la ecuación anterior para representar el dispositivo y una gráfica de la ecuación de la red relacionando las mismas variables. La solución está definida por el punto de intersección de las dos curvas. Es importante tener en cuenta cuando se aplique el enfoque gráfico que las características del dispositivo *no se afectarán* por la red en la que se emplea el dispositivo. La ecuación de la red puede cambiar junto con la intersección entre las dos curvas, pero la curva de transferencia definida por la ecuación (5.3) no se afecta. Por lo tanto, en general:

Las características de transferencia definidas por la ecuación de Shockley se mantienen sin afectarse por la red en la que se emplea el dispositivo.

La curva de transferencia puede obtenerse utilizando la ecuación de Shockley o a partir de las características de salida de la figura 5.10. En la figura 5.15 se suministran dos gráficas con la escala vertical en miliamperes para cada gráfica. Una es la gráfica de I_D contra V_{DS} , mientras que la otra es de I_D contra V_{GS} . Haciendo uso de las características del drenaje a la derecha del eje de las "y", se puede trazar una línea horizontal desde la región de saturación denotada por $V_{GS} = 0$ V hasta el eje de I_D . El nivel de corriente resultante para ambas gráficas es I_{DSS} . El punto de intersección sobre la curva de I_D contra V_{GS} se encontrará como se ilustra, ya que el eje vertical se define como $V_{GS} = 0$ V. En resumen: *Cuando $V_{GS} = 0$ V, $I_D = I_{DSS}$.*

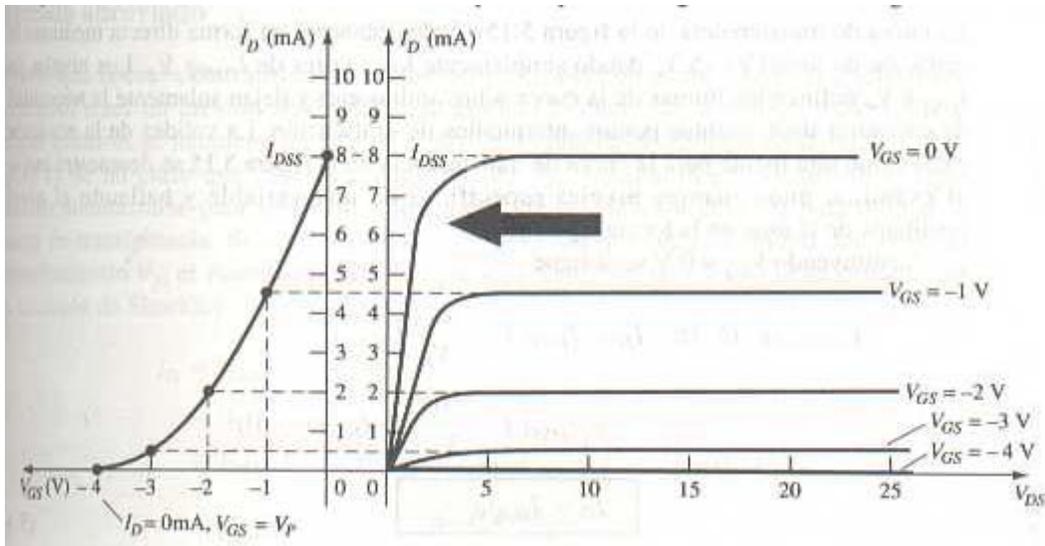


Figura 5.15 Obtención de la curva de transferencia a partir de las características de drenaje.

Cuando $V_{GS} = V_p = -4$ V, la corriente de drenaje es de 0 miliampers, y define otro punto sobre la curva de transferencia. Es decir: *Cuando $V_{GS} = V_p$, $I_D = 0$ mA.*

Antes de proseguir, es importante enfatizar que las características de drenaje relacionan una cantidad de salida (o drenaje) a una cantidad de entrada (o compuerta). ambos ejes se definen por variables en la misma región de las características del dispositivo. Las características de transferencia son la gráfica de una corriente de salida (o drenaje) contra una cantidad controlada de entrada. Existe, por lo tanto, una "transferencia" directa de variables de entrada a variables de salida cuando se emplea la si curva a la izquierda de la figura 5.15. Si la relación fuera lineal, la gráfica de I_D contra V_{GS} resultaría en una línea recta entre V_{DSS} y V_p . Sin embargo, se obtendrá una curva parabólica debido a que el espaciado vertical entre los pasos de V_{GS} sobre las características de drenaje de la figura 5.15 decrece notablemente a medida que V_{GS} se hace cada vez más negativo. Compárese el espaciado entre $V_{GS} = 0$ V y $V_{GS} = -1$ V con el que se da entre $V_{GS} = -3$ V y el estrechamiento. El cambio en V_{GS} es el mismo, pero el cambio resultante en I_D es muy diferente.

Si se dibuja una línea horizontal desde la curva para $V_{GS} = -1$ V hasta el eje de I_D y luego se extiende hasta el otro eje, puede localizarse otro punto sobre la curva de transferencia. Nótese que $V_{GS} = -1$ V sobre el eje inferior de la curva de transferencia con $I_D = 4.5$ mA. Obsérvese en la definición de I_D a $V_{GS} = 0$ V y -1 V que se utilizan los niveles de saturación de I_D y se ignora la región óhmica. Al continuar con $V_{GS} = -2$ V y -3 V puede completarse la curva de transferencia. Esta es la curva de transferencia de I_D contra V_{GS} que se utilizará con mucha frecuencia en el análisis del capítulo 7 y no las características de drenaje de la figura 5.15. En los siguientes párrafos se presentará un' rápido y eficaz método para graficar I_D contra V_{GS} dados únicamente los niveles de I_{DSS} y V_p , así como la ecuación de Shockley.

Aplicación de la ecuación de Shockley

La curva de transferencia de la figura 5.15 puede obtenerse en forma directa mediante la ecuación de Shockley (5.3), dando simplemente los valores de I_{DSS} y V_p . Los niveles de I_{DSS} y V_p definen los límites de la curva sobre ambos ejes y dejan solamente la necesidad de encontrar unos cuantos puntos intermedios de graficación. La validez de la ecuación (5.3) como una fuente para la curva de transferencia de la figura 5.15 se demuestra mejor al examinar unos cuantos niveles específicos de una variable y hallando el nivel resultante de la otra, en la forma siguiente: Sustituyendo $V_{GS} = 0$ V se obtiene

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p} \right)^2 = I_{DSS} \left(1 - \frac{0}{V_p} \right)^2 = I_{DSS} (1 - 0)^2$$

$$I_D = I_{DSS} |_{V_{GS}=0V}$$

Al sustituir $V_{GS} = V_p$ resulta que

$$I_D = I_{DSS} \left(1 - \frac{V_p}{V_p} \right)^2$$

$$I_D = 0A |_{V_{GS}=V_p}$$

Para las características de drenaje de la figura 5.15, si sustituimos $V_{GS} = -1$ V,

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p} \right)^2 = 8mA \left(1 - \frac{-1V}{-4V} \right)^2 = 8mA (0.75)^2 = 4.5mA$$

como se muestra en la figura 5.15. Adviértase la precaución con la que se manejan los signos negativos para V_{GS} y V_p en los cálculos anteriores. La pérdida de un signo daría un resultado totalmente erróneo.

Debería ser obvio de lo anterior que dadas I_{DSS} y V_p (como se proporciona una regla general en las hojas de especificaciones), el nivel de I_D puede hallarse para cualquier nivel de V_{GS} . A la inversa, por medio del uso de álgebra básica podemos obtener [de la ecuación (5.3)] una ecuación para el nivel resultante de V_{GS} para un nivel dado de I_D . La derivación es bastante directa y dará como resultado

$$V_{GS} = V_p \left(1 - \sqrt{\frac{I_D}{I_{DSS}}} \right)$$

Probemos la ecuación anterior para hallar el nivel de V_{GS} que resultará en una corriente de drenaje de 4.5 mA, para el dispositivo con las características de la figura 5.15

$$V_{GS} = -4 \left(1 - \sqrt{\frac{4.5 \text{ mA}}{8 \text{ mA}}} \right) = -4V(1 - \sqrt{0.5625}) = -4V(0.25) = -1V$$

tal y como se sustituyó en el cálculo anterior y se verificó por la figura 5.15.

RELACIONES IMPORTANTES

En las últimas secciones se han introducido varias ecuaciones importantes y características de operación que son de particular interés para el análisis a seguir relacionado con las configuraciones de cd y ca. En un esfuerzo por aislar y enfatizar su importancia se reproducen a continuación, junto con la ecuación correspondiente para el transistor BJT. Las ecuaciones JFET se definen para la configuración de la figura 5.22a, mientras que las ecuaciones BJT se relacionan con la figura 5.22b.

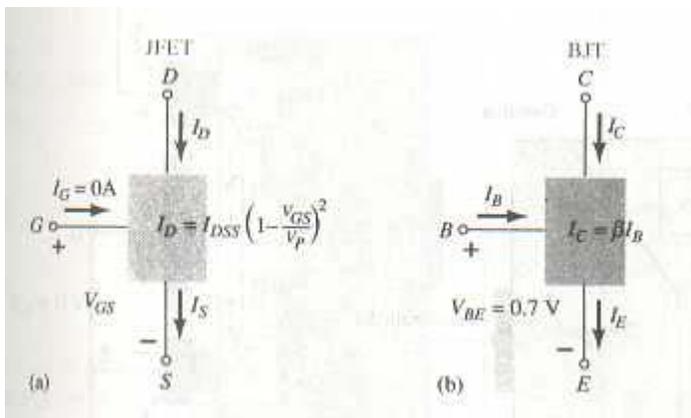


Figura 5.22 (a) JFET contra (b) BJT.

JFET	BJT
$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2$	$I_C = \beta I_B$
$I_D = I_S$	$I_C \cong I_E$
$I_G = 0 \text{ A}$	$V_{BE} = 0.7 \text{ V}$

MOSFET DE TIPO DECREMENTAL

Como se habrá observado en la introducción del capítulo, hay dos tipos de FET: JFET y MOSFET. Los MOSFET además se dividen en *tipo decremental* y *tipo incremental*. Los términos *decremental* e *incremental* definen sus modos básicos de operación, mientras que la palabra MOSFET significa *transistor de efecto de campo de metal óxido semiconductor (metal-oxide-semiconductor-field-effect transistor)*. Puesto que existen diferencias en las características y operación de cada tipo de MOSFET, éstos son tratados en secciones separadas. En esta sección examinaremos el MOSFET tipo decremental, que parece tener características similares a las de un JFET entre el corte y la saturación para I_{DSS} , pero luego tiene el rasgo adicional de las características que se extienden dentro de la región de polaridad opuesta para V_{GS} .

Construcción básica

La construcción básica de un MOSFET de tipo decremental de canal n se esquematiza en la figura 5.23. Una "plancha" de material tipo p se forma en una base de silicio y se le denomina *sustrato*. Es el cimiento sobre el que se construirá el dispositivo. En algunos casos el sustrato se conecta internamente con la terminal fuente. Sin embargo, muchos dispositivos discretos suministran una terminal adicional denominada *SS*, resultando un dispositivo de cuatro terminales, como el que aparece en la figura 5.23. Las terminales de fuente y drenaje se conectan a través de contactos metálicos a las regiones con dopado tipo n (n dopadas) unidas mediante un canal n , como se muestra en la figura. La compuerta también se conecta a una superficie de contacto metálico pero permanece aislada del canal n por una capa muy delgada de dióxido de silicio (SiO_2). El SiO_2 es un tipo particular de aislante conocido como un *dieléctrico*, que establece una oposición (como se indica por el prefijo *di-*) de campos eléctricos dentro del dieléctrico, cuando éste se expone a un campo externamente aplicado. El hecho de que la capa de SiO_2 sea una capa aislante revela el hecho siguiente:

No hay una conexión eléctrica directa entre la terminal de compuerta y el canal para un MOSFET.

Además:

La capa aislante de SiO_2 en la construcción del MOSFET es la que cuenta para la muy conveniente alta impedancia de entrada del dispositivo.

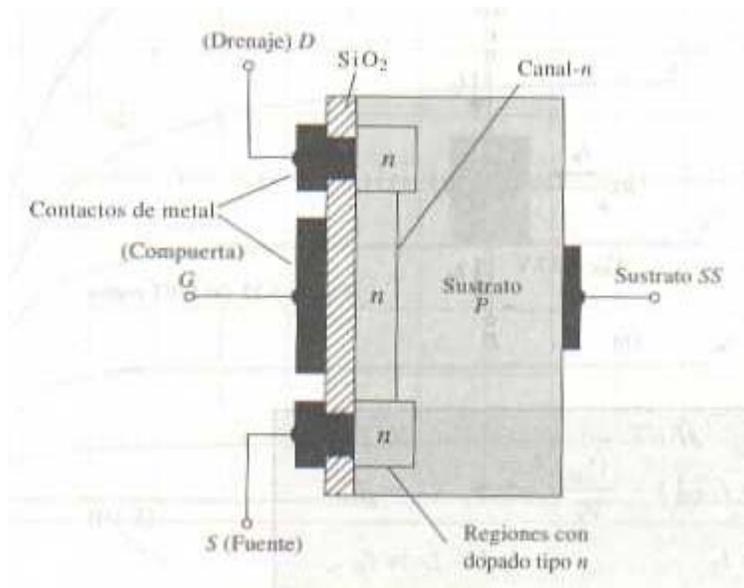


Figura 5.23 MOSFET de tipo decremental de canal n .

De hecho, la resistencia de entrada de un MOSFET es con frecuencia la del JFET típico, aun cuando la impedancia de entrada de la mayoría de los JFET sea suficientemente alta para la mayor parte de las aplicaciones. La muy alta impedancia de entrada continúa para soportar el

hecho de que la corriente de compuerta (I_G) es esencialmente de cero amper para las configuraciones polarizadas de cd.

La razón para el nombre FET metal-óxido-semiconductor es ahora bastante obvia. El *metal* por las condiciones de compuerta, fuente y drenaje a la superficie adecuada (en particular, la terminal de compuerta y el control que ofrece por la terminal de contacto superficial), el *óxido* por la capa aislante de dióxido de silicio, y el *semiconductor* por la estructura básica sobre las que se difunden las regiones tipo n y p . La capa aislante entre la compuerta y el canal ha dado por resultado otro nombre para el dispositivo: *FET de compuerta aislada* (insulated-gate) o *IGFET*, aunque esta denominación se utiliza cada vez menos en la literatura actual.

Operación básica y características

En la figura 5.24 el voltaje compuerta-fuente se fija a cero voltios por la conexión directa de una terminal a la otra, y se aplica un voltaje V_{DS} a través de las terminales drenaje-fuente. El resultado es una atracción de los electrones *libres* del canal n por el potencial positivo del drenaje y una corriente similar a la establecida a través del canal del JFET. De hecho, la corriente resultante con $V_{GS} = 0$ V continúa denominándose I_{DSS} .

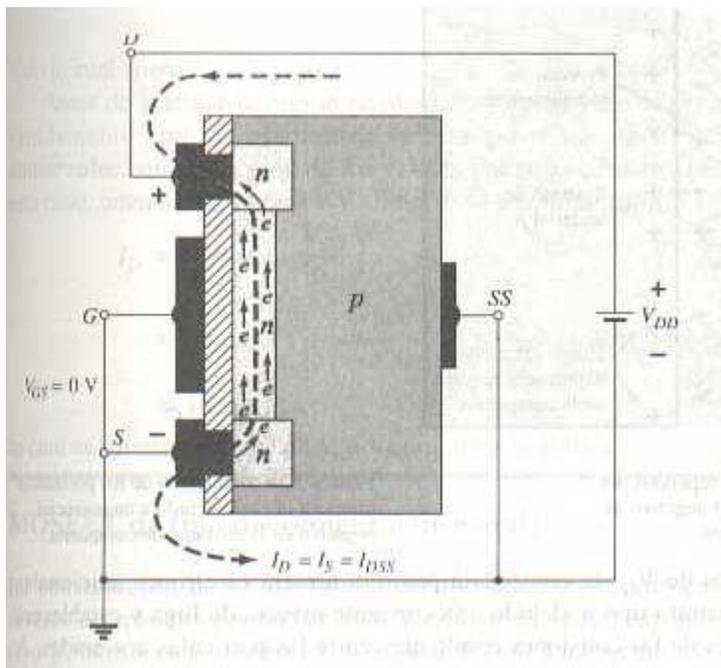


Figura 5.24 MOSFET de tipo incremental de canal n con $V_{GS} = 0$ V y un voltaje aplicado V_{DD} .

MANEJO DE LOS MOSFET

La delgada capa de SiO_2 entre la compuerta y el canal de los MOSFET tiene el efecto positivo de proporcionar una característica de alta impedancia de entrada para el dispositivo, pero debido a que es extremadamente delgada introduce una inquietud acerca de su manejo, la cual no se hizo presente para los transistores BJT o JFET. Con frecuencia hay suficiente acumulación de electricidad estática (la cual recogemos de nuestro entorno) para establecer una diferencia de

potencial a través de la delgada capa que puede acabar con ella y establecer la conducción a través de la misma. Es imperativo, por tanto, que dejemos la laminilla (o anillo) de cortocircuitado (o conducción) conectando las terminales del dispositivo juntas hasta que éste se inserte en el sistema. El anillo o segmento de corto circuito previene la posibilidad de que se aplique un potencial a través de cualquiera de las dos terminales del dispositivo. Con el anillo la diferencia de potencial entre cualquiera de ellas se mantiene a 0 V. Como mínima precaución, tóquese siempre un conducto a tierra para permitir la descarga de la electricidad estática acumulada antes de manejar el dispositivo, y siempre tome el transistor por su encapsulado.

A menudo existen transitorios (cambios bruscos en voltaje o corriente) en una red cuando son removidos o insertados elementos y la fuente de energía está encendida. Los niveles de transitorios pueden ser con frecuencia más de lo que el dispositivo puede soportar y, por lo tanto, la fuente de energía siempre deberá apagarse cuando se efectúen cambios en la red. El máximo voltaje de compuerta-fuente por lo general se proporciona en la lista de valores nominales máximos de dispositivo.

Un método para asegurarse de que no se exceda este voltaje (quizás a causa de efectos transitorios) para cualquier polaridad es introducir dos diodos Zener, como se ilustra en la figura 5.41. Los Zener se colocan frente a frente para asegurar la protección de cualquier polaridad. Si ambos diodos Zener fueran de 30 V y surgiera un transitorio positivo de 40 V, el Zener inferior se "dispararía" a 30 V y el diodo superior se activaría con una caída de cero voltios (en forma ideal, por la región de conducción positiva de un diodo semiconductor) a través del otro diodo. El resultado es un máximo de 30 V para el voltaje de compuerta-fuente. Una desventaja introducida por la protección Zener es que la resistencia de apagado para un diodo Zener es que la resistencia de entrada establecida por la capa de SiO₂. El resultado es una reducción en la resistencia de entrada, pero aun así es lo suficientemente alta para la mayoría de las aplicaciones. Como un gran número de los dispositivos discretos tienen ahora la protección Zener, algunas de las inquietudes mencionadas anteriormente ya no son tan molestas. Sin embargo, todavía es mejor tomar algunas precauciones cuando se manejen dispositivos MOSFET discretos.

VMOS

Una de las desventajas de los MOSFET típicos son los reducidos niveles de manejo de energía (en general, menos de 1 W) en comparación con los transistores BJT. Esta leve deficiencia para un dispositivo con tantas características positivas puede suavizarse al cambiar el modo de construcción de naturaleza planar, como el que se ilustra en la figura 5.23, a uno con estructura vertical, como el que se muestra en la figura 5.42. Todos los elementos del MOSFET planar están presentes en el FET vertical de óxido metálico y silicio (VMOS: *Vertical Metal-Oxide-Silicon*), la superficie metálica de conexión a las terminales del dispositivo, la capa de SiO₂*** entre la compuerta y la región tipo *p* entre el drenaje y la fuente para el crecimiento del canal *n* inducido.

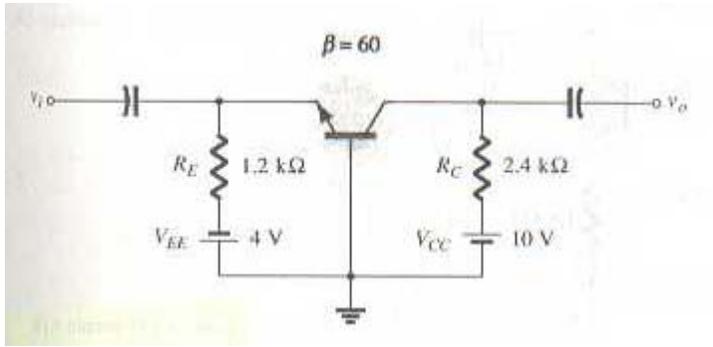


Figura 5.42 Construcción del VMOS.

CMOS

Un circuito lógico muy efectivo se puede establecer al construir un MOSFET de canal p y un MOSFET de canal n sobre el mismo sustrato, como se muestra en la figura 5.43. Obsérvese el canal p inducido a la izquierda y el canal n inducido a la derecha de los dispositivos de canal p y de canal n , respectivamente. La configuración denominada arreglo *MOSFET complementario*, abreviada CMOS, tiene una extensa aplicación en el diseño de computadoras. La impedancia relativamente alta, rápidas velocidades de conmutación y bajos niveles operativos de energía de la configuración CMOS han ocasionado el surgimiento de una disciplina completamente nueva conocida como *diseño lógico de CMOS*.

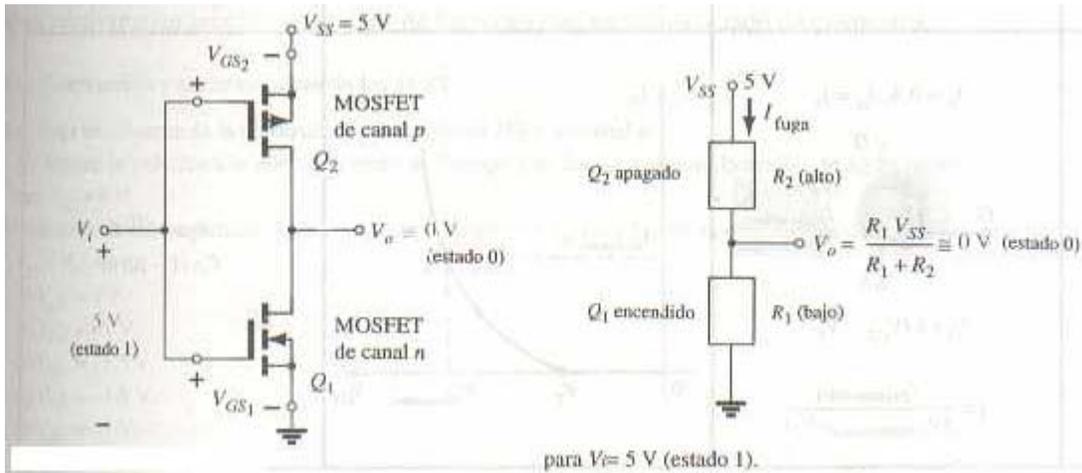


Figura 5.44 Inversor CMOS

7.1 Configuración de polarización fija

En el capítulo 6 encontramos que los niveles de polarización para una configuración de transistor de silicio puede obtenerse haciendo uso de las ecuaciones características $V_{BE} = 0.7$ V, $I_C = I_B$ e $I_C = I_E$. La interrelación entre las variaciones de entrada y de salida se obtiene por \square , la que se supone de magnitud fija para el análisis por realizarse, El hecho de que beta sea una constante establece una relación. El hecho de que beta sea una constante establece una relación *lineal* entre I_C e I_B . Al duplicar el valor de I_B se duplica el nivel de I_C , y así sucesivamente. Para el transistor de efecto de campo la relación entre las cantidades de entrada y salida no es lineal

debido al término cuadrático en la ecuación de Shockley. Las relaciones lineales resultan en líneas rectas cuando se traza una gráfica de una variable contra la otra, en tanto que las funciones no lineales resultan en curvas tales como las obtenidas para las características de transferencia de un JFET. La relación no lineal entre I_D y V_{GS} puede complicar el enfoque matemático para el análisis de cd de las configuraciones con FET. Un enfoque gráfico puede limitar las soluciones a una precisión de decenas, pero es un método más rápido para la mayor parte de los amplificadores FET, Puesto que el enfoque gráfico es en general más popular, el análisis de este capítulo tendrá preferentemente una orientación gráfica en lugar de técnicas matemáticas directas.

Otra diferencia expresa entre el análisis de los transistores BJT y FET es que la variable controlada de entrada para un transistor BJT es un nivel de corriente, mientras que para el FET la variable de control es un voltaje. Sin embargo, en ambos casos, la variable controlada en el extremo de salida es un nivel de corriente que también define los importantes niveles de voltaje del circuito de salida. Las relaciones generales que pueden aplicarse al análisis de cd para todos los amplificadores FET son

$$I_G = 0 \text{ A}$$

$$I_D = I_S$$

Para JFET y MOSFET de tipo decremental, se aplica la ecuación de Shockley para relacionar las cantidades de entrada y salida:

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2$$

Es de particular importancia enfatizar que todas las ecuaciones anteriores son *únicamente* para el *dispositivo*. No cambian para cada configuración de red siempre que el dispositivo se encuentre en la región activa. La red simplemente define el nivel de corriente y voltaje asociados con el punto de operación a través de su propio conjunto de ecuaciones. En realidad, la solución de cd para las redes FET y BJT es la solución de las ecuaciones simultáneas establecidas por el dispositivo y la red. La solución puede determinarse utilizando ya sea un enfoque gráfico o uno matemático, hecho que se demostrará en las primeras redes que se analizarán. Sin embargo, como ya se hizo ver, el enfoque gráfico es el más popular para las redes FET y se emplea en este libro.

Las primeras secciones de este capítulo se limitan a los JFET y al análisis con el enfoque gráfico. El MOSFET de tipo decremental será examinado posteriormente con su intervalo creciente de puntos de operación, seguido del MOSFET de tipo incremental. Finalmente, se investigarán problemas de naturaleza de diseño para poner a prueba en forma completa los conceptos y procedimientos introducidos en este capítulo.

El más simple de los arreglos de polarización para el JFET de canal n aparece en la figura 6.1, Conocida como configuración de polarización fija, es una de las pocas configuraciones FET que pueden resolverse en forma directa utilizando tanto el enfoque gráfico como el matemático. Ambos métodos se incluyen en esta sección para mostrar la diferencia entre las dos filosofías,

pero también para establecer el hecho de que puede obtenerse la misma solución haciendo uso de cualesquiera de los métodos.

La configuración de la figura 6.1 incluye los niveles de ca V_i y V_o los capacitores de acoplamiento (C_1 y C_2). Recuérdese que los capacitores de acoplamiento son "circuitos abiertos" para el análisis de cd y bajas impedancias (esencialmente cortos circuitos) para el análisis de ca. El resistor r_G . Está presente para asegurar que V_i , aparezca a la entrada del amplificador FET para el análisis de ca. Para el análisis de cd,

$$I_G = 0 \text{ A}$$

$$V_{RG} = I_G R_G = (0 \text{ A}) R_G = 0 \text{ V}$$

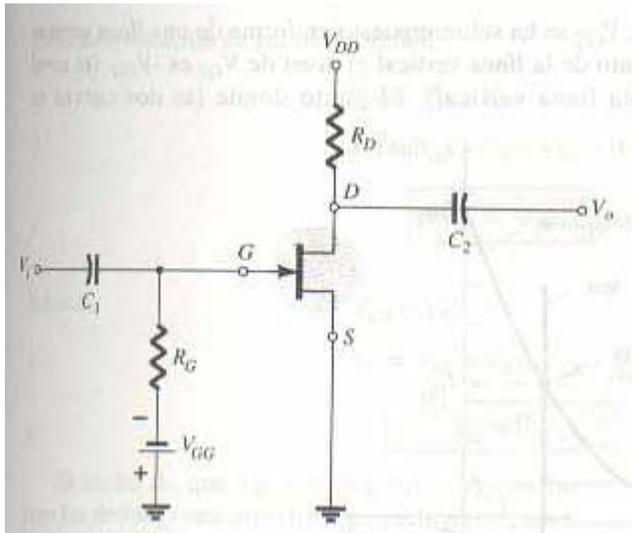


Figura 6.1 Configuración de polarización fija.

La caída de cero voltios a través de R_G permite reemplazar a r_G por un corto circuito equivalente, como aparece en la red de la figura 6.2, específicamente redibujada para el análisis de cd.

El hecho de que la terminal negativa de la batería se conecte de manera directa al potencial definido positivo de V_{GS} muestra claramente que la polaridad de V_{GS} se opone en forma directa a v_{GG} . Aplicando la ley de voltaje de Kirchhoff en dirección de las manecillas del reloj a la malla indicada de la figura 6.2, se tiene que

$$V_{GS} = -V_{GG}$$

Puesto que v_{GG} es una fuente constante de cd, el voltaje V_{GS} es de magnitud fija, dando como resultado la denominación "configuración de polarización fija".

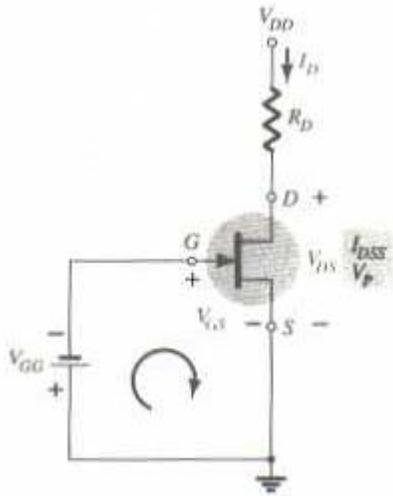


Figura 6.2 Red para el análisis de cd.

El nivel resultante de corriente de drenaje I_D se controla ahora por la ecuación de Shockley:

Ya que V_{GS} es una cantidad fija para esta configuración, su signo y su magnitud simplemente pueden sustituirse en la ecuación de Shockley y calcularse el nivel resultante de I_D . Este es uno de los pocos ejemplos en el cual la solución matemática para una configuración FET es bastante directa.

Un análisis gráfico requeriría una gráfica de la ecuación de Shockley como se muestra en la figura 6.3. Recuérdese que la elección de $V_{GS} = V_p/2$ dará como resultado una corriente de drenaje de $I_{DSS}^{***}/4$ cuando se grafique la ecuación. Para el análisis de este capítulo, los tres puntos definidos por I_{DSS}^{***} , V_p y la intersección que se acaba de describir serán suficientes para trazar la curva.

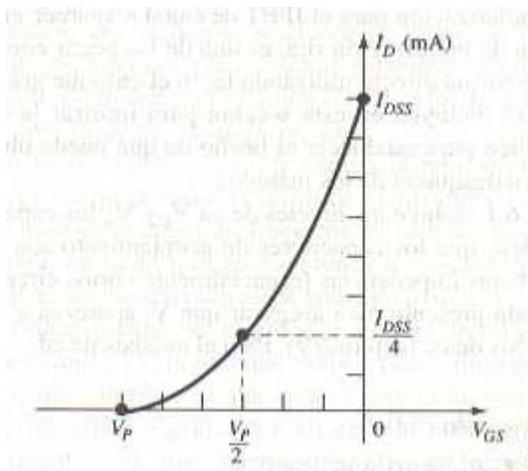


Figura 6.3 Graficación de la ecuación de Shockley.

En la figura 6.4 el nivel fijado de V_{GS} se ha sobrepuesto en forma de una línea vertical en $V_{GS} = -V_{GG}$. En cualquier punto de la línea vertical el nivel de V_{GS} es $-V_{GG}$ (el nivel I_D debe determinarse sobre esta línea vertical). El punto donde las dos curvas se interceptan es la

solución común a la configuración (conocida generalmente como *el punto estático o de operación*). El subíndice Q se aplicará a la corriente de drenaje y al voltaje de compuerta-fuente para identificar sus niveles en el punto Q . Obsérvese en la figura 6.4 que el nivel estático de ID se determina al trazar una línea horizontal desde el punto Q hasta el eje vertical ID , como se ilustra en la figura 6.4. Es importante enfatizar que una vez que la red de la figura 6.1 se construye y está en operación, los niveles de cd de ID y VGS que se medirán con los medidores de la figura 6.5 son los valores estáticos definidos por la figura 6.4.

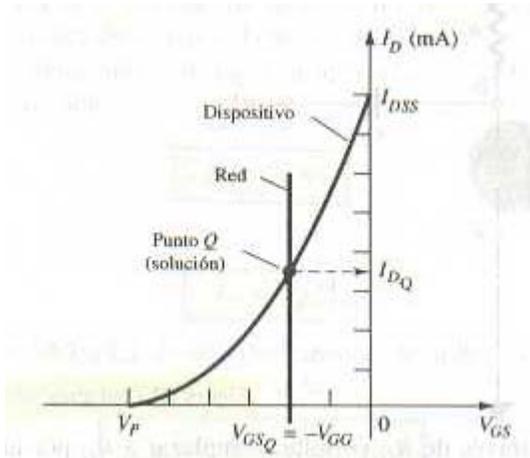


Figura 6.4 Encontrando la solución para la configuración de polarización fija.

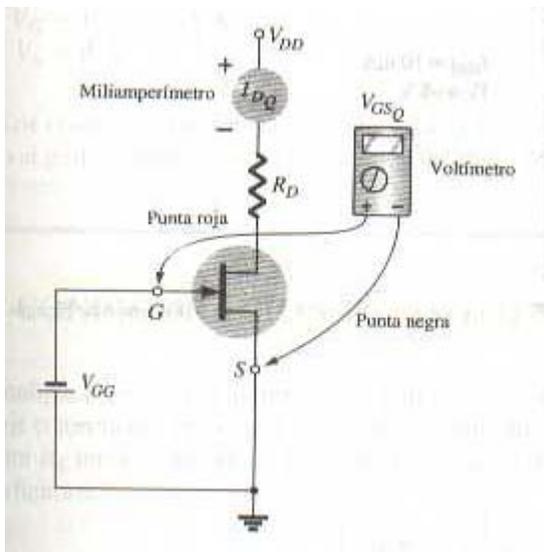


Figura 6.5 Medición de los valores estáticos para ID y VGS .

El voltaje de drenaje-fuente de la sección de salida puede determinarse mediante la aplicación de la ley de voltaje de Kirchoff como sigue:

$$VDS + IDR D - VDD = 0$$

$$V_{DS} = V_{DD} - I_{DRD}$$

Recuérdese que los voltajes con subíndice sencillo se refieren al voltaje de un punto con respecto a tierra. Para la configuración de la figura 6.2,

$$V_S = 0 \text{ V}$$

Utilizando notación de subíndice doble:

$$V_{DS} = V_D - V_S$$

$$V_D = V_{DS} + V_S = V_{DS} + 0V$$

$$V_D = V_{DS}$$

$$V_{GS} = V_G - V_S$$

$$V_G = V_{GS} + V_S = V_{GS} + 0V$$

$$V_G = V_{GS}$$

El hecho de que $V_D = V_{DS}$ y $V_G = V_{GS}$ es bastante obvio del hecho que $V_S = 0 \text{ V}$ pero las deducciones anteriores se incluyeron para enfatizar las relaciones existentes entre la notación de subíndice doble y la de subíndice sencillo. Puesto que la configuración requiere de dos fuentes de poder de cd, su uso está limitado y no será incluido en la lista subsecuente de las configuraciones más comunes de FET.

7.2 Configuración de autopolarización

La configuración de autopolarización elimina la necesidad de tener dos fuentes de cd. El voltaje controlador de compuerta-fuente se determina ahora por el voltaje a través de un resistor R_S introducido en la terminal de la fuente de la configuración, como se muestra en la figura 6.8.

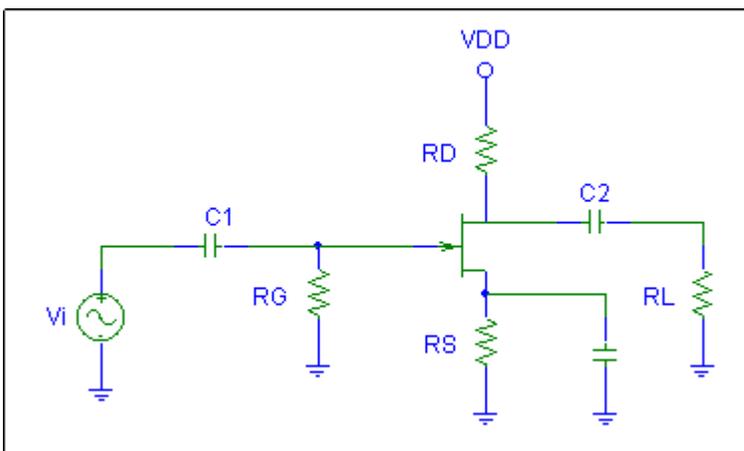


Figura 6.8 Configuración JFET de autopolarización.

Para el análisis de cd los capacitores pueden remplazarse de nuevo por "circuitos abiertos", y el resistor r_G , por un equivalente de corto circuito ya que $I_G = 0$ A. El resultado es la red de la figura 6.9 para el importante análisis de cd. La corriente a través de R_S es la corriente de fuente, pero $I_S = I_D$ y

$$V_{RS} = I_D R_S$$

Para la malla cerrada indicada de la figura 6.9, encontramos que

$$-V_{GS} - V_{RS} = 0$$

$$V_{GS} = -V_{RS}$$

$$V_{GS} = -I_D R_S$$

Advierta en este caso que V_{GS} es una función de la comente de salida I_D y no un valor de magnitud constante como ocurre para la configuración de polarización fija.

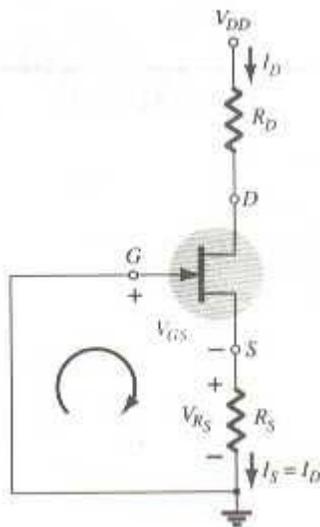


Figura 6.9 Análisis de cd para la configuración de autopolarización.

La ecuación (6.10) se define por la configuración de la red y la ecuación de Shockley relaciona las cantidades de entrada y salida del dispositivo. Ambas ecuaciones relacionan las mismas dos variables, permitiendo una solución ya sea matemática o gráfica.

Una solución matemática podría obtenerse simplemente al sustituir la ecuación (6.10) en la ecuación de Shockley como se muestra a continuación:

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 = I_{DSS} \left(1 + \frac{I_D R_S}{V_P} \right)^2$$

$$I_D = I_{DSS} \left(1 + 2 \frac{I_D R_S}{V_P} + \frac{I_D^2 R_S^2}{V_P^2} \right)$$

$$\frac{I_D^2 R_S^2}{V_P^2} + \frac{2I_D R_S I_{DSS}}{V_P} - I_D + I_{DSS} = 0 \quad I_{DSS} \frac{I_D^2 R_S^2}{V_P^2} + \frac{2I_D R_S I_{DSS}}{V_P} - I_D + I_{DSS}$$

$$\frac{I_D^2 R_S^2}{V_P^2} + I_D \left(\frac{2R_S I_{DSS}}{V_P} - 1 \right) + I_{DSS} = 0$$

R_S , I_{DSS} y V_P son constantes, la incógnita es I_D

$$I_D = \frac{-b \pm \sqrt{b^2 - 4ac}}{2a}$$

$$I_D = \frac{\left(1 - \frac{2R_S I_{DSS}}{V_P} \right) \pm \sqrt{\left(\frac{2R_S I_{DSS}}{V_P} - 1 \right)^2 - \frac{4I_{DSS}^2 R_S^2}{V_P^2}}}{\frac{2R_S^2 I_{DSS}}{V_P^2}}$$